

PCT

国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 0738-PCT	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/JPO0/05596	国際出願日 (日.月.年) 22.08.00	優先日 (日.月.年) 23.08.99
出願人(氏名又は名称) ローム株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ H01L23/12, H01L25/08, H01L21/301, H01L21/304

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ H01L23/12, H01L25/08, H01L21/301, H01L21/304

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1940-2000年

日本国公開実用新案公報 1971-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	J P、5-3183、A (日本電気株式会社)、8. 1月. 1993 (08. 01. 93)、請求項3 (ファミリーなし)	1, 2 3~9
Y A	J P、2-153527、A (富士通株式会社)、13. 6月. 1990 (13. 06. 90)、特許請求の範囲 (ファミリーなし)	1, 2 3~9
Y A	J P、5-55278、A (ソニー株式会社)、5. 3月. 1993年 (05. 03. 93)、請求項1~4 (ファミリーなし)	1, 2 3~9
X	J P、8-236692、A (日本電気株式会社)、13. 9月.	10~16,

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

09. 11. 00

国際調査報告の発送日

21.11.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

加藤 浩一



4 R

8617

電話番号 03-3581-1101 内線 3425

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
<u>Y</u>	1996年(13.09.96)、【0028】、図1、図4 (ファミリーなし)	22, 24, 25 <u>23</u>
EX	JP、11-288977、A (新日本製鐵株式会社)、19.10月. 1999年(19.10.99)、【0054】～【0060】、図4 (ファミリーなし)	10～14, 22, 25 <u>15, 16,</u> <u>23, 24</u>
<u>EY</u>		
EX	US、5977640、A (インターナショナル・ビジネス・マシーンズ・コーポレーション)、2.11月. 1999年(02.11.99)、FIG. 8～13 (JP、2000-156461、A&CN、1241032、A)	10～14、 17～21、 22、23、 25 <u>15, 16,</u> <u>24</u>
<u>EY</u>		

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(11) 5-3183 (A) (43) 8.1.1993 (19) JP

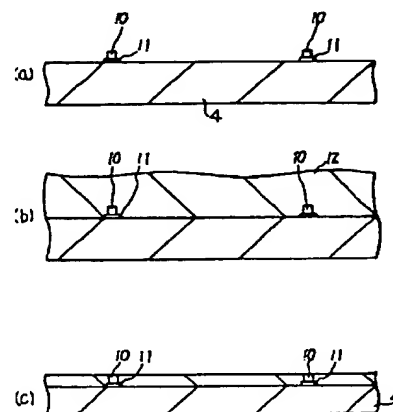
(21) Appl. No. 3-153650 (22) 26.6.1991

(71) NEC CORP (72) MICHITAKA URUSHIMA

(51) Int. Cl.⁵. H01L21/304, H01L21/321

PURPOSE: To enable a semiconductor substrate to be enhanced in mechanical strength and lessened in thickness by a method wherein a protective film is provided to the semiconductor substrate to cover its surface including the side faces of bumps provided to pad electrodes, and the upside of the protective film is set level with those of the bumps so as to enable the upsides of the bumps to be exposed.

CONSTITUTION: Pad electrodes 11 electrically connected to the outside are provided onto a semiconductor substrate 4 where semiconductor elements are formed, a metal film of Ti or the like is formed on the surface of the substrate 4 including the pad electrodes 11, the pad electrodes 11 are selectively plated with Au or the like making the metal film serve as a plating electrode, then the metal film is removed, and bumps 10 are formed. Then, a protective film 12 of epoxy resin or the like is applied onto all the surface of the substrate 4 including the bumps 10 as thick as 200 μ m and then cured. In succession, the semiconductor substrate 4 is rendered as thin as 200 μ m or so by grinding its rear side, and furthermore the protective film 12 is etched back to be as thin as 20 μ m or so to make the upsides of the bumps 10 exposed.

**(54) CLEANING METHOD OF WAFER**

(11) 5-3184 (A) (43) 8.1.1993 (19) JP

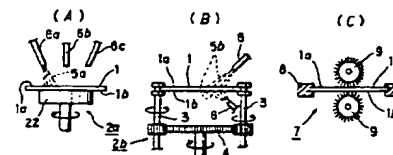
(21) Appl. No. 3-180240 (22) 24.6.1991

(71) SONY CORP (72) YASUSHI INAGAKI(1)

(51) Int. Cl.⁵. H01L21/304

PURPOSE: To prevent stains attached to the rear of a wafer from becoming a contamination source by a method wherein the rear of the wafer is cleaned by a brush after the front of the wafer is cleansed with fluid.

CONSTITUTION: Different or the same chemical liquid is sprayed on the mirror surface (front side) 1a of a semiconductor wafer 1 from nozzles 6a, 6b, and 6c at different times or at the same time by a chemical liquid processing device. Then, pure water 5b is sprayed on the mirror surface 1a and the rear 1b of the semiconductor wafer 1 from a nozzle 6 to rinse from a rinsing device 2b. Thereafter, the rear 1b of the semiconductor wafer 1 is cleaned with a brush 9 to remove stains from it as the semiconductor wafer 1 is rotated by a brush cleaning device 7. By this setup, the mirror surface of a semiconductor wafer itself or the mirror surfaces of other semiconductor wafers can be protected against contamination.

**(54) CLEANING METHOD OF SEMICONDUCTOR SUBSTRATE**

(11) 5-3185 (A) (43) 8.1.1993 (19) JP

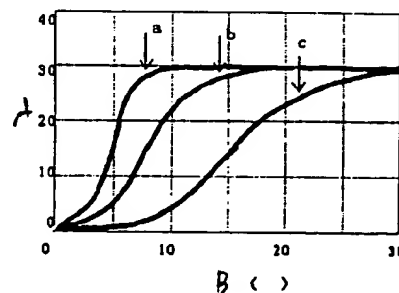
(21) Appl. No. 3-154590 (22) 26.6.1991

(71) SEIKO EPSON CORP (72) MINORU YOKOZAWA

(51) Int. Cl.⁵. H01L21/304

PURPOSE: To provide a method of cleaning a semiconductor substrate, where the surface of the substrate can be enhanced in cleanness.

CONSTITUTION: In a cleaning process where a silicon semiconductor substrate is cleaned when a silicon semiconductor integrated circuit is manufactured, the silicon semiconductor substrate is put in an ozone-containing atmosphere just after it is cleaned, whereby a clean silicon oxide film having a thickness of 20 \AA or below is formed on the surface of the silicon-exposed part of the silicon semiconductor substrate. If a semiconductor integrated circuit is manufactured by the use of the above cleaning method, it is sharply enhanced in current characteristics.



(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 2-153527 (A) (43) 13.6.1990 (19) JP

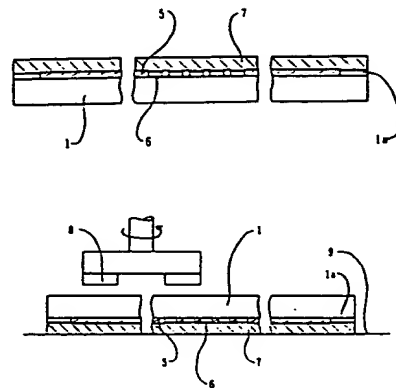
(21) Appl. No. 63-308507 (22) 5.12.1988

(71) FUJITSU LTD (72) JUNICHI KONNO

(51) Int. Cl.⁵. H01L21/304, H01L21/321

PURPOSE: To prevent a semiconductor substrate from having any microcrack at all as well as a rear side metallic layer from being released by any pollution on the rear side by a method wherein, after forming a protective film on masks and bump electrodes, the rear side main surface is ground up.

CONSTITUTION: Bump forming resist films 5 to be masks in almost the same film thickness as that of straight bumps 6 to be formed on the surface of a semiconductor 1 are formed and then opening parts are formed on the bump forming parts 6 by photolithography. The bumps 6 are formed by plating process. A protective resist film 7 is formed without removing the films 5. The film 7 offsets the difference in the levels of the films 5, the bumps 6 and a plating electrode 1a to make the film 7 almost in parallel with the rear side of the substrate 1. Next, the substrate 1 is mounted to bring the film 7 into contact with the surface of a surface plate 9 of a grinder so that the rear side of the substrate 1 may be ground up by grindstones 8. Through these procedures, the semiconductor substrate can be prevented from having any microcrack at all as well as a rear side metallic layer from being released by any pollution on the rear side.

**(54) WAFER SURFACE GRINDER**

(11) 2-153528 (A) (43) 13.6.1990 (19) JP

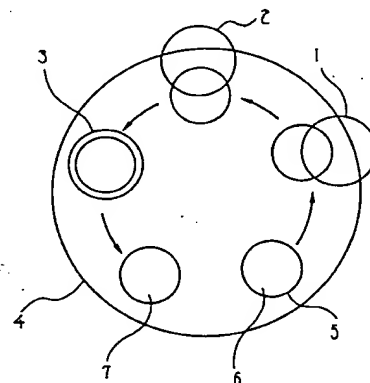
(21) Appl. No. 63-308211 (22) 5.12.1988

(71) NEC CORP (72) HITOSHI TERADA

(51) Int. Cl.⁵. H01L21/304, B24B7/04, B24B37/04

PURPOSE: To enhance the evenness in the flatness and the ground surface by a method wherein the spindle axles in the first and second positions are respectively fitted with the rough grinding and medium grinding blades by down-feed system while the third position is fitted with the finish grinding blade by through-feed system.

CONSTITUTION: Chuck tables 5 provided on five positions on a rotary table 4 respectively pass through the five positions by the rotation of the table 4. Firstly, a wafer to be ground up is sucked at a load point 6 and successively rough, medium and finish ground at the first, second and third spindle axles 1, 2 and 3, finally to be taken out of the unload point 7. During the grinding processes at the axles 1, 2 under heavy grinding load, the down-feed system is applied to assure the thickness precision and the flatness while at the axle 3 for finish grinding, the through-feed system is applied to form an evenly ground surface. Through these procedures, the evenness in the flatness and the ground surface can be enhanced.

**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**

(11) 2-153530 (A) (43) 13.6.1990 (19) JP

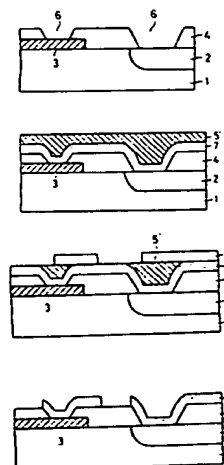
(21) Appl. No. 63-308100 (22) 5.12.1988

(71) MITSUBISHI ELECTRIC CORP (72) HIROSHI HIRANO(1)

(51) Int. Cl.⁵. H01L21/3205, H01L21/302

PURPOSE: To prevent contact holes after etching a metal from being exposed by a method wherein resist is buried in the contact holes only before transferring a metallic wiring pattern and then after heat treatment, the whole surface is coated with a photoresist and then the wiring pattern is transferred.

CONSTITUTION: After making contact holes 6 and covering the whole surface with a metal 7, the whole surface is coated with a burying-in resist 5' and then the whole body is heat treated at the temperature exceeding the softening point of the resist 5'. At this time, the resist 5' is softened to run out into the holes 6. Next, the resist 5' overflowed out of the holes 6 is perfectly removed by reactive ion etching process. Successively, a pattern is formed on the resist 5 and then a wiring pattern is formed of a metal 7 by etching process. Through these procedures, even when the metallic wiring pattern slips out of the holes 6, the quality and the reliability can be enhanced without any deterioration in characteristics, etc., as well as exposing the contact holes 6 out of the surface thereof by etching process.

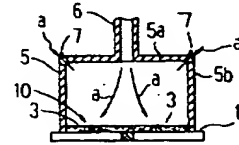


(54) MOUNTER

(11) 5-55276 (A) (43) 5.3.1993 (19) JP
 (21) Appl. No. 3-218518 (22) 29.8.1991
 (71) NEC KANSAI LTD (72) SHUJI TAZAKI
 (51) Int. Cl.⁵ H01L21/52

PURPOSE: To develop an adhesive for securing a semiconductor pellet in a uniform film thickness by providing a head of a lower surface opening measure type for controlling an adhesive developed region in which the pellet is connected to a land dropped with the adhesive and secured by developing the adhesive by air spraying.

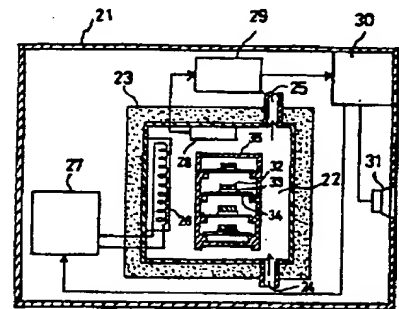
CONSTITUTION: An adhesive 3 is dropped to a plurality of positions on a land 1 by a syringe. A head 5 is so moved down as to surround the dropped adhesives 3, and the lower end face of the head 5 is connected to the land 1. Then, the air (a) is sprayed from a pipe 6 into the head 5 to develop the adhesive 3 in a uniform thickness on an adhesive developed region 10 in the head 5. The air (a) supplied into the head 5 is externally discharged from a discharge hole 7. Accordingly, no contraction is generated at the periphery of the developed adhesive, and no cavity is formed at the center of the developed adhesive. Thus, the reliability and the yield of a semiconductor device are improved.

**(54) METHOD AND APPARATUS FOR CURING**

(11) 5-55277 (A) (43) 5.3.1993 (19) JP
 (21) Appl. No. 3-217759 (22) 29.8.1991
 (71) TOSHIBA CORP(1) (72) TOSHIFUMI HARADA
 (51) Int. Cl.⁵ H01L21/52

PURPOSE: To provide a method for curing and an apparatus for curing, which can prevent an adhering defect and provide high mass productivity.

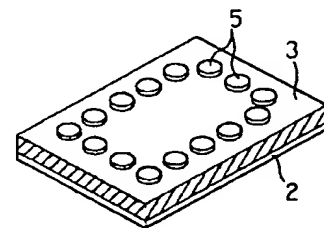
CONSTITUTION: A ventilation port 24 and a ventilation outlet 25 (ventilating means) for continuously feeding nitrogen gas therein are provided, a gas sensor 28 and a gas detector 29 (gas concentration detecting means) for gas generated by curing an adhesive are provided in a furnace which can be heated therein by a heater 26, and the operation of the furnace 22 is controlled based on the detected results. Thus, epoxy resin conductive adhesive 33 between all semiconductor pellets 32 (to be adhered) and a lead frame 34 (adhesive base) charged in the furnace is heated to be cured, the end is decided when gas concentration due to the curing cannot be detected, the adhering defect of a product can be prevented, and mass productivity can be enhanced.

**(54) SEMICONDUCTOR DEVICE**

(11) 5-55278 (A) (43) 5.3.1993 (19) JP
 (21) Appl. No. 3-211207 (22) 23.8.1991
 (71) SONY CORP (72) TOMONORI NISHINO
 (51) Int. Cl.⁵ H01L21/56, H01L21/304, H01L21/78, H01L21/321, H01L23/12, H01L23/28

PURPOSE: To improve handling operability of a semiconductor chip in a manufacturing step while reducing in thickness of the chip itself irrespective of the size of a semiconductor wafer and to obtain a small-sized thin semiconductor device.

CONSTITUTION: A semiconductor wafer 1 is reduced in thickness while forming a resin film 3 in a protective reinforcing plate, protrusion electrodes 5 protrude from the film 3 on a semiconductor chip 2 as an external connection terminal, and the film 3 is so cut as to be the same in size as the chip 2. Thus, a semiconductor device having high reliability, easy handling, small size and thickness, is obtained.



特許協力条約に基づく国際出願願書

原本 (出願用) - 印刷日時 2000年08月21日 (21. 08. 2000) 月曜日 13時36分49秒

0	受理官庁記入欄	
0-1	国際出願番号.	
0-2	国際出願日	
0-3	(受付印)	
0-4	様式-PCT/RO/101 この特許協力条約に基づく 国際出願願書は、 右記によって作成された。	PCT-EASY Version 2.90 (updated 10.05.2000)
0-4-1		
0-5	申立て 出願人は、この国際出願が特許 協力条約に従って処理されるこ とを請求する。	
0-6	出願人によって指定された 受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記 号	0738-PCT
I	発明の名称	半導体装置およびその製造方法
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人で ある。	米国を除くすべての指定国 (all designated States except US)
II-4ja	名称	ローム株式会社
II-4en	Name	ROHM CO., LTD.
II-5ja	あて名:	615-8585 日本国 京都府 京都市 右京区西院溝崎町 2 1 番地
II-5en	Address:	21, Saiin Mizosaki-cho, Ukyo-ku Kyoto-shi, Kyoto 615-8585 Japan
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP
II-8	電話番号	075-311-2121
II-9	ファクシミリ番号	075-315-0172

III-1 III-1-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-1-2	右の指定国についての出願人である。	米国のみ (US only)
III-1-4ja III-1-4en III-1-5ja	氏名(姓名) Name (LAST, First) あて名:	柴田 和孝 SHIBATA, Kazutaka 615-8585 日本国 京都府 京都市 右京区西院溝崎町2 1 番地 ローム株式会社内
III-1-5en	Address:	c/o ROHM CO., LTD. 21, Saiin Mizosaki-cho, Ukyo-ku Kyoto-shi, Kyoto 615-8585 Japan
III-1-6	国籍 (国名)	日本国 JP
III-1-7	住所 (国名)	日本国 JP
IV-1 IV-1-1ja IV-1-1en IV-1-2ja	代理人又は共通の代表者、 通知のあて名 下記の者は国際機関において右 記のごとく出願人のために行動 する。 氏名(姓名) Name (LAST, First) あて名:	代理人 (agent) 亀井 弘勝 KAMEI, Hirokatsu 541-0054 日本国 大阪府 大阪市中央区南本町4丁目 5番20号 住宅金融公庫・住友生命ビル12F あい特許事務所内
IV-1-2en	Address:	c/o AI Association of Patent and Trademark Attorneys, 12F Jyutakukinyukoko-Sumitomoseimei Bldg. 5-20, Minamihommachi 4-chome, Chuo-ku Osaka-shi, Osaka 541-0054 Japan
IV-1-3	電話番号	06-6245-0211
IV-1-4	ファクシミリ番号	06-6245-2266
V V-1	国の指定 広域特許 (他の種類の保護又は取扱いを 求める場合には括弧内に記載す る。)	EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE 及びヨーロッパ特許条約と特許協力条約の締約国 である他の国
V-2	国内特許 (他の種類の保護又は取扱いを 求める場合には括弧内に記載す る。)	KR US

特許協力条約に基づく国際出願願書


原本 (出願用) - 印刷日時 2000年08月21日 (21. 08. 2000) 月曜日 13時36分49秒

V-5	指定の確認の宣言 出願人は、上記の指定に加えて、規則4.9(b)の規定に基づき、特許協力条約のもとで認められる他の全ての国の指定を行う。ただし、V-6欄に示した国の指定を除く。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。		
V-6	指定の確認から除かれる国	なし (NONE)	
VI-1	先の国内出願に基づく優先権主張	1999年08月23日 (23. 08. 1999)	
VI-1-1	先の出願日	平成 1 1 年特許願第 2 3 5 6 1 9	
VI-1-2	先の出願番号	日本国 JP	
VI-1-3	国名		
VI-2	先の国内出願に基づく優先権主張	1999年08月23日 (23. 08. 1999)	
VI-2-1	先の出願日	平成 1 1 年特許願第 2 3 5 6 2 0	
VI-2-2	先の出願番号	日本国 JP	
VI-2-3	国名		
VI-3	先の国内出願に基づく優先権主張	1999年09月10日 (10. 09. 1999)	
VI-3-1	先の出願日	平成 1 1 年特許願第 2 5 7 5 8 9	
VI-3-2	先の出願番号	日本国 JP	
VI-3-3	国名		
VI-4	先の国内出願に基づく優先権主張	1999年10月14日 (14. 10. 1999)	
VI-4-1	先の出願日	平成 1 1 年特許願第 2 9 2 7 0 3	
VI-4-2	先の出願番号	日本国 JP	
VI-4-3	国名		
VI-5	優先権証明書送付の請求 上記の先の出願のうち、右記の番号のものについては、出願書類の認証謄本を作成し国際事務局へ送付することを、受理官庁に対して請求している。	VI-1, VI-2, VI-3, VI-4	
VII-1	特定された国際調査機関 (ISA)	日本国特許庁 (ISA/JP)	
VIII	照合欄	用紙の枚数	添付された電子データ
VIII-1	願書	4	-
VIII-2	明細書	23	-
VIII-3	請求の範囲	4	-
VIII-4	要約	1	0738-pct. txt
VIII-5	図面	14	-
VIII-7	合計	46	

特許協力条約に基づく国際出願願書

0738-PCT

原本（出願用） - 印刷日時 2000年08月21日（21. 08. 2000）月曜日 13時36分49秒

	添付書類	添付	添付された電子データ
VIII-8	手数料計算用紙	✓	-
VIII-16	PCT-EASYディスク	-	フレキシブルディスク
VIII-17	その他	納付する手数料に相当する特許印紙を貼付けした書面	-
VIII-17	その他	国際事務局の口座への振込みを証明する書面	-
VIII-18	要約書とともに提示する図の番号	1	
VIII-19	国際出願の使用言語名:	日本語 (Japanese)	
IX-1	提出者の記名押印		
IX-1-1	氏名(姓名)	亀井 弘勝	

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	
10-2	図面:	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日（訂正日）	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年3月1日 (01.03.2001)

PCT

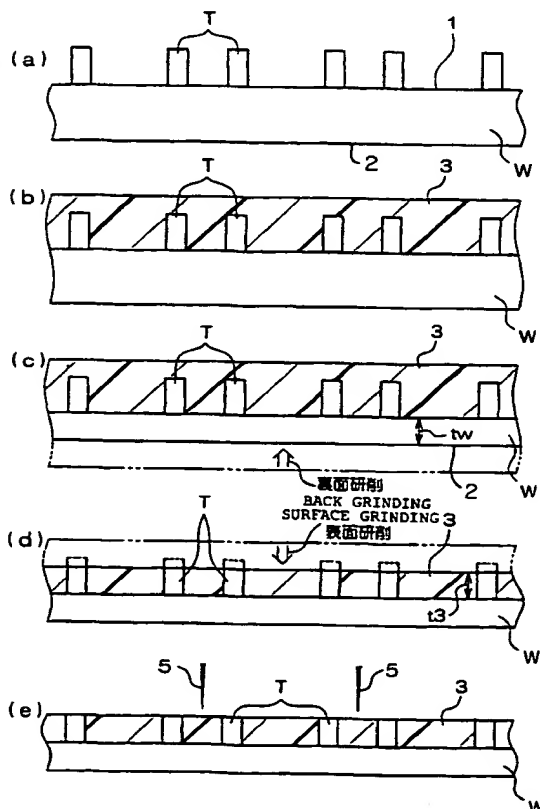
(10) 国際公開番号
WO 01/15223 A1

- (51) 国際特許分類: H01L 23/12, 25/04, 21/301, 21/304 (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒615-8585 京都府京都市右京区西院溝崎町21番地 Kyoto (JP).
- (21) 国際出願番号: PCT/JP00/05596
- (22) 国際出願日: 2000年8月22日 (22.08.2000) (72) 発明者: および
- (25) 国際出願の言語: 日本語 (75) 発明者/出願人 (米国についてのみ): 柴田和孝 (SHIBATA, Kazutaka) [JP/JP]; 〒615-8585 京都府京都市右京区西院溝崎町21番地 ローム株式会社内 Kyoto (JP).
- (26) 国際公開の言語: 日本語 (74) 代理人: 亀井弘勝 (KAMEI, Hirokatsu); 〒541-0054 大阪府大阪市中央区南本町4丁目5番20号 住宅金融公庫・住友生命ビル12F あい特許事務所内 Osaka (JP).
- (30) 優先権データ: 23 April 2001 2003
特願平11/235619 1999年8月23日 (23.08.1999) JP
特願平11/235620 1999年8月23日 (23.08.1999) JP
特願平11/257589 1999年9月10日 (10.09.1999) JP
特願平 11/292703 1999年10月14日 (14.10.1999) JP
- (81) 指定国 (国内): KR, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURE THEREOF

(54) 発明の名称: 半導体装置およびその製造方法



(57) Abstract: A method of manufacturing a semiconductor device provided with bump electrodes on the surface of a semiconductor substrate. The method includes the steps of forming bump electrodes on the surface of a semiconductor substrate, forming a protective resin layer over the whole surface area of the semiconductor substrate having the bump electrodes, grinding the back of the semiconductor substrate to reduce the thickness of the semiconductor substrate, and grinding the surface of the semiconductor substrate to expose the bump electrodes.

[続葉有]

WO 01/15223 A1



添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

半導体基板の表面に突起電極を有する半導体装置の製造方法。この方法は、半導体基板の表面に突起電極を形成する電極形成工程と、突起電極が形成された半導体基板の表面の全域に保護樹脂層を形成する工程と、半導体基板の裏面を研磨または研削することにより、半導体基板を薄型化する裏面研削工程と、半導体基板の表面側を研磨または研削することにより、突起電極を露出させる表面研削工程とを含む。

明 細 書

半導体装置およびその製造方法

技術分野

- 5 この発明は、薄型の半導体装置の製造方法に関する。また、この発明は、固体装置（たとえば、配線基板または半導体チップ）の表面に別の半導体チップを接合した構造の半導体装置およびその製造方法に関する。

さらに、この発明は、三次元実装に有利な半導体装置およびその製造方法に関する。

10

背景技術

- 半導体チップの薄型化のために、素子および配線などの形成が完了した半導体ウエハ（以下、単に「ウエハ」という。）の裏面側を研削する裏面研削工程が、従来から行われている。この裏面研削工程は、一般には、ウエハの表面に軟質性の保護フィルムを貼り付け、この保護フィルムを介してウエハを砥石に押し付け、その状態でウエハを回転させることによって、行われてきた。
- 15

- しかし、ウエハから個々のチップを切り出すための切り出し工程ではウエハがロボットでハンドリングされる。また、切り出されたチップをリードフレームにマウントする工程においてはチップがロボットでハンドリングされる。したがって、過度に薄型化を追求すれば、ハンドリング時におけるウエハやチップの破損につながり、歩留まりが低下する。とくに、ウエハが大口径化してきた今日では、裏面研削により薄型化されたウエハは、容易に破損してしまうおそれがある。
- 20

- このような問題を解決するために、たとえば、特開平 1 1 - 1 5 0 0 9 0 号公報には、ウエハの表面に突起電極群を形成した後に、このウエハ表面に樹脂膜を形成し、この樹脂膜を保護強化板として用いることが提案されている。この公開公報の半導体装置の製造方法では、樹脂膜の形成後にウエハの裏面研削が行われ、さらに、樹脂膜の表層部分がエッチングにより除去される。これにより突起電極群が露出させられる。その後は、スクライブラインに沿って樹脂膜が除去され、さらに、保護膜としての窒化膜が突起電極を回避した領域に形成される。その後
- 25

に、スクライブラインに沿ってウエハが切断されて、個々のチップが切り出される。

この方法では、裏面研削後のウエハは樹脂膜により強化されており、また、個々のチップも樹脂膜により強化されている。そして、外部電極となる突起電極が当該樹脂膜に埋設された構造となっている。これにより、ウエハおよびチップを、これらの破損を生じさせることなく良好にハンドリングでき、かつ、ワイヤボンディングなどを用いて外部端子を引き出す構成に比較して、半導体装置を著しく薄型化できる。

しかし、突起電極群を露出させるためにエッチングを行う必要がある。この際、すべての突起電極を確実に露出させることができるようにエッチング条件を定めなければならないから、工程が複雑で時間がかかる。

また、上述の先行技術の製造方法では、ウエハ表面に樹脂膜を形成してから裏面研削を行うまでの間に、ウエハと樹脂膜との熱膨張／収縮率の相違に起因して、図18に誇張して示すように、ウエハに反りが生じるという問題がある。このような反りが生じたウエハを平坦な砥石で研削すると、ウエハの中心領域と周縁領域とで研削後のウエハの厚さに相違が生じる。そのため、均一な厚さの半導体チップを得ることができなくなるばかりでなく、ウエハの中心領域から切り出された半導体チップは所期の薄さまで薄型化されていないおそれがある。

一方、半導体装置の実質的な集積度を高める構造の1つに、チップ・オン・チップ構造がある。チップ・オン・チップ構造の半導体装置は、たとえば、図19に示すように、親チップ101の表面に子チップ102をフェースダウンで接合するとともに、親チップ102の裏面に外部接続電極103を設けた構造となっている。このようなチップ・オン・チップ構造は、素子の高集積化を図るうえで有利であるが、親チップ101および子チップ102の厚さa、bのほかに、外部接続電極103の高さcが必要である。そのため、全体の高さ(a+b+c)が比較的高くなるのが欠点である。

さらに、半導体パッケージの薄型化とその三次元実装とにより、半導体装置の設置スペースの削減を図ることが提案されている。

図20には、このような目的のために提案されている半導体装置70の構成例

を示す断面図である。この半導体装置 70 は、テープ状基板 71 の打ち抜き部に薄い半導体チップ 72 を配置して、その活性表面側（図 20 の上面側）保護樹脂 73 で封止して構成されている。半導体チップ 72 には、シングルポイントボンディングによりインナーリード 74 が接続されている。半導体チップ 72 と外部
5 の実装基板 80 との接続は、基板 71 上でインナーリード 74 に接続されたアウターリード 75 によって行うようになっている。この半導体装置 70 の三次元実装は、アウターリード 75 をそれぞれ実装基板 80 に接続することによって行われる。

しかし、このような構成では、三次元実装の際に、各半導体装置 70 のアウターリード 75 を個別に実装基板 80 に接続する必要があるから、三次元実装の工程が複雑で、かつ、困難である。

また、アウターリード 75 を外方に引き出す構成であるので、半導体装置 70 全体の専有面積が比較的大きいという問題もある。

15 発明の開示

この発明の第 1 の目的は、簡単な工程で突起電極を確実に露出させることができ、したがって、半導体装置の全体の製造工程を簡単にすることができる半導体装置の製造方法を提供することである。

この発明の第 2 の目的は、半導体基板の反りを防ぐことによって、半導体基板
20 の裏面研削処理を良好に行うことができるようにし、これにより、薄型の半導体装置の製造を良好に行うことができる半導体装置の製造方法を提供することである。

この発明の第 3 の目的は、固体装置上に半導体チップが接合された構造（たとえば、チップ・オン・チップ構造）を有し、かつ、薄型化された半導体装置およびその製造方法を提供することである。
25

この発明の第 4 の目的は、三次元実装に有利な半導体装置およびその製造方法を提供することである。

この発明の第 1 の態様に係る半導体装置の製造方法は、半導体基板の表面に突起電極を形成する電極形成工程と、前記突起電極が形成された半導体基板の表面

の全域に保護樹脂層を形成する工程と、前記半導体基板の裏面を研磨または研削することにより、前記半導体基板を薄型化する裏面研削工程と、前記半導体基板の表面側を研磨または研削することにより、前記突起電極を露出させる表面研削工程とを含む。

- 5 前記裏面研削工程と表面研削工程とは、いずれが先に行われてもよい。

この発明によれば、半導体基板の表面に形成された突起電極は、表面研削処理により、半導体基板の表面を覆って形成される保護樹脂層を研磨または研削することによって、露出させることができる。したがって、突起電極は、エッチングによる場合よりも、簡単かつ確実に、しかも短時間で露出させることができる。

- 10 裏面研削工程および表面研削工程においては、保護樹脂層が半導体基板を補強する役割を果たす。そのため、裏面研削工程において、半導体基板を薄く研削しても、半導体基板のハンドリングに支障を来すおそれがない。

このようにして、薄型の半導体装置を、簡単な製造工程で生産できるようになり、かつ、その生産性も向上できる。

- 15 前記半導体基板には、複数の半導体装置を構成する素子が形成されていてもよい。この場合、前記電極形成工程では、前記複数の半導体装置のための複数の突起電極が形成され、前記表面研削工程および裏面研削工程を経た半導体基板を切断することにより、半導体装置の個片が切り出されることが好ましい。

- 20 この方法によれば、複数の半導体装置（半導体チップ）が1枚の半導体基板（半導体ウエハ）上に形成される。この半導体基板から個々の半導体装置を切り出す前に、裏面研削処理および表面研削処理が行われる。この場合に、切り出し工程に至るまでの半導体基板は、その表面の保護樹脂層によって補強されている。そのため、たとえ半導体基板自体の厚みが薄くても、ハンドリング時に破損が生じるおそれがない。そして、切り出し工程時においても、半導体基板は保護樹脂層
25 によって保護されているので、その破損が生じることがない。

この発明の第2の態様に係る半導体装置の製造方法は、半導体基板の表面に表面樹脂層を形成する工程と、前記半導体基板の裏面に裏面樹脂層を形成する工程と、前記表面樹脂層および裏面樹脂層が形成された半導体基板に対して、前記裏面樹脂層を研磨または研削して除去し、さらに、前記裏面樹脂層が除去された半

導体基板の裏面側を研磨または研削することによって、前記半導体基板を薄型化する裏面研削工程とを含む。

なお、表面樹脂層と裏面樹脂層とは、いずれが先に形成されてもよく、同時に形成されてもよい。ただし、表面樹脂層と裏面樹脂層とは、半導体基板の反りが問題とならない程度の短時間の時間間隔で形成されることが好ましい。または、表面樹脂層と裏面樹脂層との形成の間に半導体基板の反りが生じないように、いずれか一方の樹脂層のみが形成された半導体基板は、他方の樹脂層が形成されるまでの間、半導体基板に大きな反りが生じることのないように温度管理された環境におかれることが好ましい。

10 この発明によれば、半導体基板の表面および裏面の両方に樹脂層が形成されるので、半導体基板の表裏面において、熱膨張／収縮が等しく生じる。そのため、半導体基板の裏面研削の際に、半導体基板に不所望な反りが生じているおそれがない。したがって、この裏面研削処理を良好に行うことができ、半導体基板の中央領域および周辺領域のいずれにおいても、半導体基板を均一に薄型化できる。

15 これにより、薄型の半導体装置の製造を良好に行うことができる。

この発明の一実施形態は、前記裏面研削工程の後に、前記半導体基板を切断ラインに沿って切断することにより、半導体装置の個片を切り出す切り出し工程をさらに含む。

この方法によれば、薄型化された半導体基板から複数の半導体装置の個片が切り出される。この場合に、半導体基板はいたるところで均一に薄型化されているので、均一な厚さの薄型半導体装置個片を得ることができる。

25 なお、前記半導体基板の表面に突起電極を形成する電極形成工程と、突起電極を表面樹脂層から露出させるために、この表面樹脂層を研磨または研削する表面研削工程とをさらに含んでもよい。この場合に、裏面研削工程と表面研削工程とは、いずれが先に行われてもよい。また、前記切り出し工程は、表面研削工程および裏面研削工程を経た半導体基板に対して行われることになる。

この発明の半導体装置は、第1の態様において、第1の半導体チップ（固体装置の一例）と、この第1の半導体チップの表面に接合された第2の半導体チップと、前記第1の半導体チップの表面に形成され、外部との接続のための突起電極

と、前記突起電極の頭部を露出させた状態で上記第1の半導体チップの表面を封止する保護樹脂とを含む。

この構成によれば、第1の半導体チップの表面に第2の半導体チップが接合されている。そして、その同じ表面に突起電極が形成され、第1の半導体チップの表面は、突起電極の頭部を露出させた状態で保護樹脂で封止されている。したがって、第1の半導体チップの裏面側に外部接続電極を設ける場合に比較して、半導体装置全体の高さを低くすることができる。これにより、チップ・オン・チップ構造の薄型半導体装置を実現できる。

なお、突起電極の頭部は、保護樹脂と面一になってもよいし、保護樹脂の表面から突起電極の頭部が突出していてもよい。また、突起電極の頭部が露出している限りにおいて、突起電極の頭部が保護樹脂の表面よりも内方に陥没していてもよい。

また、第2の半導体チップは、保護樹脂内に埋設されていてもよいし、その非活性表面や側面の一部が保護樹脂から露出していてもよい。

上記の構成のチップ・オン・チップ型半導体装置は、たとえば、半導体基板の表面に、複数の半導体チップを、それらの活性表面を前記半導体基板の表面に対向させたフェースダウン状態で接合するチップ接合工程と、前記半導体基板の表面に複数の突起電極を形成する電極形成工程と、前記半導体チップおよび前記突起電極の形成後に露出する前記半導体基板の表面を、前記突起電極の頭部を露出させた状態で、保護樹脂で封止する樹脂封止工程と、前記半導体基板を予め定める切断ラインに沿って切断することにより、チップ・オン・チップ構造の半導体装置の個片を取り出す切り出し工程とを含む方法によって、製造することができる。

この方法では、半導体基板の表面に複数の半導体チップを接合するとともに、複数の突起電極をその同じ表面に形成するようにしている。そのため、半導体基板（半導体ウエハ）の状態で、チップの接合と電極の形成を行うことができる。その後、チップ・オン・チップ構造の半導体装置の個片に切り出すことによって、複数個のチップ・オン・チップ型半導体装置を効率良く製造することができる。

半導体基板の表面は、保護樹脂で樹脂封止され、また、半導体チップはフェースダウンで半導体基板の表面に接合されるので、半導体基板または半導体チップの各表面（活性表面）の保護は十分である。したがって、半導体基板とこれに搭載された半導体チップとの厚さの和に近い高さの薄型半導体パッケージが実現される。

なお、必要であれば、切り出し工程よりも前に、半導体基板の裏面や半導体チップの裏面側（非活性表面側）をグラインダーなどで研磨または研削すれば、さらなる薄型化が達成される。

前記樹脂封止工程は、前記保護樹脂の表層部を除去して前記突起電極の頭部を露出させる電極露出工程を含むことが好ましい。これにより、突起電極を確実に露出させることができる。

保護樹脂の表層部の除去は、グラインダーなどによる研削により行えばよいが、エッチングなどの他の手法を用いてもよい。

前記電極露出工程は、前記保護樹脂と前記半導体チップの非活性表面側とを同時に研磨または研削するチップ研削工程を含むことが好ましい。これにより、突起電極の頭部が確実に露出させられ、かつ、半導体チップの薄型化も図られる。

この発明の半導体装置は、第2の態様において、基板（固体装置の一例）と、この基板の表面に活性表面を対向させたフェースダウン状態で接合された半導体チップと、前記基板の前記半導体チップが接合された表面から突出させて設けられた突起電極と、この突起電極の頭部が露出する状態で、この突起電極および前記半導体チップを封止する保護樹脂とを含む。

前記突起電極は、半導体チップの周囲（可及的に半導体チップの近傍）に設けられていることが好ましい。

また、前記基板は、テープ状基板等の薄型の基板であることが好ましい。

この発明によれば、半導体チップと、外部接続用の電極としての突起電極とが基板の同じ側の表面に設けられている。この構成では、前記基板の裏面側から前記突起電極の基部への電気接続を可能とするための貫通孔を形成しておくことにより、この貫通孔を介して、三次元的に積層された複数の半導体装置相互間の接続を容易に図ることができる。

しかも、突起電極を用いていることにより、半導体装置の占有面積を少なくすることができるうえ、三次元実装された半導体装置間の配線長も短くできる。

なお、前記貫通孔は、突起電極の直下の位置に形成されることが好ましい。

上述の半導体装置は、基板の表面に活性表面を対向させたフェースダウン状態

- 5 で、半導体チップを前記基板に接合するチップ接合工程と、前記基板の表面に、この表面から突出した突起電極を形成する電極形成工程と、前記半導体チップおよび突起電極を、前記突起電極の頭部を露出させた状態で保護樹脂により封止する樹脂封止工程とを含む方法により、作製することができる。

- 10 この方法の一実施形態では、前記チップ接合工程では、複数の半導体チップが前記基板に接合され、前記電極形成工程では、前記複数の半導体チップに対応した複数の突起電極が形成される。そして、前記基板を予め定める切断ラインに沿って切断することにより、半導体装置の個片が切り出される。

この方法により、複数個の半導体装置を一括して生産することができる。

- 15 なお、この場合に、樹脂封止工程は、複数の半導体チップおよび複数の突起電極を一括して封止するようにして行われることが好ましい。複数の半導体チップを封止する保護樹脂は、一体化されていてもよいし、個別の半導体チップごとに分かれていてもよい。複数の半導体チップを封止する保護樹脂が一体化されている場合には、切り出し工程では、保護樹脂および基板が同時に切断されることが好ましい。したがって、切り出し工程は、樹脂封止工程の後に行われることが好
20 ましい。

なお、樹脂封止工程は、突起電極および半導体チップを保護樹脂で封止する工程と、突起電極の頭部を露出させるために保護樹脂の表層部を除去する工程とを含んでいてもよい。

- 25 また、前記製造方法には、半導体チップの非活性表面を研磨または研削して半導体チップを薄型化する工程がさらに含まれていることが好ましい。この工程では、保護樹脂が同時に研磨または研削されて、装置全体の薄型化が図られてもよい。

さらに、三次元実装のためには、前記基板に、この基板の裏面側から前記突起電極の基部への電気接続を可能とするための貫通孔を形成する工程をさらに含む

ことが好ましい。この場合に、貫通孔は、突起電極の基部の直下に形成することが好ましい。

本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

5

図面の簡単な説明

図1(a)～1(e)は、この発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す図解的な断面図である。

図2は、前記製造方法により製造された半導体チップの図解的な斜視図である。

10 図3(a)～3(f)は、この発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す図解的な断面図である。

図4は、前記製造方法により製造された半導体チップの図解的な斜視図である。

図5は、この発明の第3の実施形態に係る半導体装置の構成を示す斜視図である。

15 図6(a)～6(e)は、上記半導体装置の製造方法を工程順に示す断面図である。

図7は、この発明の他の実施形態に係る半導体装置の構成を示す断面図である。

図8は、この発明のさらに他の実施形態に係る半導体装置の構成を示す断面図である。

20 図9は、この発明のさらに他の実施形態に係る半導体装置の製造工程を説明するための断面図である。

図10は、この発明の一実施形態に係る半導体装置の構成を示す斜視図である。

図11(a)～11(f)は、上記半導体装置の製造方法を工程順に示す断面図である。

図12は、突起電極の近傍の構成を拡大して示す断面図である。

図13は、上記半導体装置の三次元実装を説明するための斜視図である。

25 図14は、特定の半導体装置の特定の突起電極を他の半導体装置から独立して実装基板に接続するための構成を示す斜視図である。

図15は、異なるサイズの半導体チップを内蔵した半導体装置の三次元実装例を示す断面図である。

図16は、この発明の第8の実施形態に係る半導体装置の構成を示す断面図で

ある。

図 17 は、この発明の第 9 の実施形態に係る半導体装置の構成を示す断面図である。

図 18 は、ウエハの表面にのみ樹脂層を形成した場合に生じる反りの問題を説明するための図解図である。

図 19 は、従来のチップ・オン・チップ型半導体装置の構造を説明するための図解図である。

図 20 は、先行技術による薄型半導体装置の三次元実装例を示す断面図である。

10 発明の実施の形態

図 1(a)～1(e)は、この発明の第 1 の実施形態にかかる半導体装置の製造方法を工程順に示す図解的な断面図である。図 1(a)～1(e)の半導体ウエハ W (以下、単に「ウエハ W」という。)は、種々の素子形成工程および配線形成工程などを経て、活性表層領域側の面である表面 1 は窒化膜などからなる保護膜 (パッシベーション膜) で覆われている。この保護膜からは、外部との電気接続のためのパッド (図示せず) が露出させられている。

このパッド上に、図 1(a)に示すように、たとえば、金 (Au) からなる複数の突起電極 T が形成される (電極形成工程)。この突起電極 T は、たとえば、電解めっきにより形成され、その保護膜表面からの高さは、たとえば、 $25\mu\text{m}$ 程度とされることが好ましい。突起電極 T は、円柱状または四角柱状などの柱状のものであることが好ましい。その材料としては、金のほかにも、半田などを適用することができる。

突起電極 T の形成の後には、図 1(b)に示すように、半導体ウエハ W の表面 1 のほぼ全面に、保護樹脂層 3 が形成される (保護樹脂形成工程)。この保護樹脂層 3 は、たとえば、エポキシ樹脂などからなり、たとえば、スクリーン印刷法によって形成される。この保護樹脂層 3 は、突起電極 T を埋没させることができる厚さで形成されることが好ましい。具体的には、保護樹脂層 3 の厚みは、 $100\mu\text{m}$ 程度とされることが好ましく、これにより、後述の表面研削処理の後にも、裏面研削処理を経たウエハ W を補強する機能を十分に発揮することができる。

続いて、図1(c)に示すように、たとえばグラインダーを用いて、半導体ウエハWの裏面2が研削される(裏面研削工程)。これにより、ウエハWは、所定の厚さ t_w (たとえば、 t_w は、 $50\mu\text{m}$ 程度)にまで薄型化される。この裏面研削工程の際には、半導体ウエハWの表面1は、保護樹脂層により保護されているので、

5 保護フィルムなどを用いる必要はない。

さらに、図1(d)に示すように、同じく、たとえばグラインダーを用いて、半導体ウエハWの表面1側が研削される(表面研削工程)。正確には、保護樹脂層3の表面が研削されて、すべての突起電極Tの頭部が露出させられ、突起電極Tが露出した後は、保護樹脂層3および突起電極Tの両方の研削が同時進行する。この

10 表面研削処理は、たとえば、保護樹脂層3の層厚 t_3 がたとえば、 $50\mu\text{m}$ 程度になるまで行われる。この表面研削処理の後には、保護樹脂層3の表面と突起電極Tの頂面とは面一になる。この表面研削工程においては、ウエハWの裏面が、たとえば、真空チャック装置などによって保持されなければならないが、ウエハWの裏面はとくに保護する必要がないから、保護フィルムなどを用いる必要はない。

15 この後は、図1(e)に示すように、スクライブラインに沿って、ダイシングソー5で保護樹脂層およびウエハWが切断され、図2に斜視図を示す半導体チップCの個片が切り出される(切り出し工程)。

裏面研削工程および表面研削工程では、ウエハWの表面1に形成された保護樹脂層3によりウエハWの全体が補強されている。したがって、ウエハWの破損を生じることなく、ウエハWの研削を良好に行えるから、ウエハWの薄型化を有利に行える。

また、切り出し工程の前におけるウエハWのハンドリングの際や、ダイシングソー5によりウエハWを切断する際にも、保護樹脂層3がウエハWを補強しているから、ウエハWや半導体チップCの破損が生じるおそれがない。したがって、

25 ウエハWを所望の厚さに薄型化することができ、これにより、半導体チップCの薄型化に貢献することができる。

図2に示す半導体チップCの最終形態においては、保護樹脂層3は、ウエハWの表面1(活性表面)を保護している。しかも、この保護樹脂層3から突起電極

Tの頂面が露出している。したがって、この半導体チップCのさらなるパッケージングは不要である。こうして、極めて薄型化された半導体パッケージを得ることができる。

- 5 以上のようにこの実施形態によれば、ウエハWに対して表面側および裏面側の両面から研削処理を行うことによって、極めて簡単で、かつ、短時間の処理で、突起電極Tを確実に露出させた薄型の半導体チップCを製造することができる。これにより、薄型の半導体チップCの製造工程を簡単にすることができ、かつ、その生産性の向上に寄与することができる。

- 10 なお、上述の実施形態では、裏面研削工程（図1(c)）を先に行い、その後に表面研削工程（図1(d)）を行うようにしているが、表面研削工程を先に行い、その後に裏面研削工程を行うようにしても差し支えない。

- 15 図3(a)～3(f)は、この発明の第2の実施形態にかかる半導体装置の製造方法を工程順に示す図解的な断面図である。この図3(a)～3(f)において、上述の図1(a)～1(e)に示された各部に対応する部分には、図1(a)～1(e)の場合と同一の参照符号を付して示す。

- 20 図3(a)～3(e)の半導体ウエハW（以下、単に「ウエハW」という。）は、種々の素子形成工程および配線形成工程などを経ていて、活性表層領域側の面である表面1は窒化膜などからなる保護膜（パッシベーション膜）で覆われている。この保護膜からは、外部との電気接続のためのパッド（図示せず）が露出させられている。

- 25 このパッド上に、図3(a)に示すように、たとえば、金（Au）からなる複数の突起電極Tが形成される（電極形成工程）。この突起電極Tは、たとえば、電解めっきにより形成され、その保護膜表面からの高さは、たとえば、 $50\mu\text{m}$ 程度とされることが好ましい。突起電極Tは、円柱状または四角柱状などの柱状のものであることが好ましい。その材料としては、金のほかにも、半田などを適用することができる。

突起電極Tの形成の後には、図3(b)に示すように、半導体ウエハWの表面1のほぼ全面に、保護樹脂層3（表面樹脂層）が形成される。この保護樹脂層3は、たとえば、エポキシ樹脂などからなり、たとえば、スクリーン印刷法によって形

成される。この保護樹脂層 3 は、突起電極 T を埋没させることができる厚さで形成されることが好ましい。具体的には、保護樹脂層 3 の厚みは、 $100\mu\text{m}$ 程度とされることが好ましく、これにより、後述の表面研削処理の後にも、裏面研削処理を経たウエハ W を補強する機能を十分に発揮することができる。

5 保護樹脂層 3 の形成の後には、図 3 (c) に示すように、ウエハ W の裏面 2 のほぼ全面に、裏面樹脂層 4 が形成される。この裏面樹脂層 4 は、保護樹脂層 3 と同じ材料からなっていることが好ましく、また、保護樹脂層 3 とほぼ同じ厚さに形成されることが好ましい。この裏面樹脂層 4 は、保護樹脂層 3 と同様な形成方法で形成することができる。

10 保護樹脂層 3 の形成工程と裏面樹脂層 4 の形成工程とは、ウエハ W に大きな反りが生じるほどの温度変化が生じないように相次いで行われるか、または、同時に行われることが好ましい。もしも、保護樹脂層 3 の形成工程の後、相当の時間において裏面樹脂層 4 の形成工程を行う必要がある場合には、保護樹脂層 3 の形成後のウエハ W は、保護樹脂層 3 とウエハ W との熱膨張／収縮率の差に起因する
15 反りが生じないように温度管理された環境におかれることが好ましい。

ウエハ W の裏面 2 に裏面樹脂層 4 が形成された後には、図 3 (d) に示すように、たとえばグラインダーを用いて、半導体ウエハ W の表面 1 側が研削される（表面研削工程）。正確には、保護樹脂層 3 の表面が研削されて、すべての突起電極 T の頭部が露出させられ、突起電極 T が露出した後は、保護樹脂層 3 および突起電極
20 T の両方の研削が同時進行する。この表面研削処理は、たとえば、保護樹脂層 3 の層厚 t_3 がたとえば、 $40\mu\text{m}$ 程度になるまで行われる。この表面研削処理の後には、保護樹脂層 3 の表面と突起電極 T の頂面とは面一になる。この表面研削工程においては、ウエハ W の裏面が、たとえば、真空チャック装置などによって保持されなければならないが、このとき、ウエハ W の裏面 2 は裏面樹脂層 4 で保
25 護される。

さらに、図 3 (e) に示すように、同じく、たとえばグラインダーを用いて、裏面研削工程が行われる。すなわち、裏面樹脂層 4 が研削されて除去され、さらに連続して、半導体ウエハ W の裏面 2 が研削される。これにより、ウエハ W は、所定の厚さ t_w （たとえば、 t_w は、 $100\mu\text{m}$ 程度）にまで薄型化される。この裏

面研削工程の際には、半導体ウエハWの表面1は、保護樹脂層3により保護されているので、保護フィルムなどを用いる必要はない。

- この後は、図3(f)に示すように、スクライブライン（切断ライン）に沿って、ダイシングソー5で保護樹脂層およびウエハWが切断され、図4に斜視図を示す
- 5 半導体チップCの個片が複数個切り出される（切り出し工程）。

裏面研削工程および表面研削工程では、ウエハWの表面1に形成された保護樹脂層3によりウエハWの全体が補強されている。したがって、ウエハWの破損を生じることなく、ウエハWの研削を良好に行えるから、ウエハWの薄型化を有利に行える。

- 10 また、切り出し工程の前におけるウエハWのハンドリングの際や、ダイシングソー5によりウエハWを切断する際にも、保護樹脂層3がウエハWを補強しているから、ウエハWや半導体チップCの破損が生じるおそれがない。したがって、ウエハWを所望の厚さに薄型化することができ、これにより、半導体チップCの薄型化に貢献することができる。

- 15 そして、図4に示す半導体チップCの最終形態においては、保護樹脂層3は、ウエハWの表面1（活性表面）を保護しており、かつ、この保護樹脂層3から突起電極Tの頂面が露出しているため、この半導体チップCのさらなるパッケージングは不要である。したがって、極めて薄型化された半導体パッケージを得ることができる。

- 20 以上のようにこの実施形態によれば、ウエハWの表面1には保護樹脂層3が形成され、裏面2には裏面樹脂層4が形成されるので、ウエハWの表裏で熱膨張／収縮が等しく生じる。そのため、表面研削工程（図3(d)）および裏面研削工程（図3(e)）の際には、ウエハWに反りが生じていることがない。したがって、保護樹脂層3の研削およびウエハWの裏面2の研削を、ウエハWの各部で均一に行うこ
- 25 とができる。これにより、切り出し工程（図3(f)）を経て切り出された複数個のチップCは、均一な厚さを有することができる。

なお、たとえば、表面研削処理の終了した直後の図3(d)の状態では、ウエハWの表裏面の樹脂層3、4の厚さが異なるが、これに起因して裏面研削処理前のウエハWの反りが問題となる場合には、たとえば、チャックを用いてウエハWの表

裏面を保持するようにすればよい。裏面研削処理後には保護樹脂層 3 は十分に薄膜化されているため、図 3 (f) の状態ではウエハ W に不所望な反りが生じるおそれはない。

5 なお、上述の実施形態では、表面研削工程（図 3 (d)）を先に行い、その後に裏面研削工程（図 3 (e)）を行うようにしているが、裏面研削工程を先に行い、その後表面研削工程を行うようにしてもよい。ただし、保護樹脂層 3 の研削をウエハ W の各部で均一に行うためには、表面研削工程を先に行う方が好ましい。

10 図 5 は、この発明の第 3 の実施形態に係る半導体装置の構成を示す斜視図である。この半導体装置 10 は、親チップ M（第 1 の半導体チップ）の表面（活性表面）に、子チップ D（第 2 の半導体チップ）を、その表面（活性表面）を対向させたフェースダウン状態で接合したチップ・オン・チップ構造を有している。親チップ M および子チップ D は、たとえば、いずれもシリコンチップからなり、それぞれの表面には、トランジスタなどの能動素子、抵抗やコンデンサなどの受動素子および配線などが形成されている。

15 この実施形態においては、親チップ M および子チップ D は、いずれも、平面視において矩形形状に成形されていて、子チップ D は、親チップ M よりも、平面視において若干小さく成形されている。子チップ D の周囲の領域には、親チップ M の表面（活性表面）に、外部接続電極としての突起電極（この実施形態では柱状の電極） T が複数個形成されている。

20 親チップ M の表面において子チップ D または突起電極 T が形成されていない領域は、保護樹脂（たとえばエポキシ樹脂など） 11 で樹脂封止されており、親チップ M の表面の保護が図られている。子チップ D の表面は、親チップ M に対向しており、かつ、その側面が保護樹脂 11 で封止されていることにより、外部から保護されている。

25 この実施形態では、保護樹脂 11、突起電極 T の頭部および子チップ D の非活性表面は、面一をなしている。

このような構成の半導体装置 10 は、親チップ M と子チップ D との各厚さの和に近い高さを有する極めて薄型に作製することができるので、薄型のチップ・オン・チップ型半導体装置を実現することができる。

図 6 (a)~6 (e)は、上述のような半導体装置 10 の製造工程を工程順に示す断面図である。半導体基板としての半導体ウエハ W (以下単に「ウエハ W」という。)の表面 (活性表面) W a には、窒化膜などからなる保護膜 (パッシベーション膜) が形成されており、この保護膜には、外部との接続が必要な複数箇所において、
5 内部配線のパッドが露出させられている。これらのパッド上には、図 6 (a)に示すように、複数の突起電極 T および複数のバンプ B が形成される (電極形成工程)。突起電極 T は、外部接続用のパッド上に形成され、バンプ B は、子チップ D と接続すべきチップ間接続用のパッド上に形成される。突起電極 T およびバンプ B は、
10 いずれも同じ材料で形成することができ、たとえば、金などの耐酸化性金属で構成されることが好ましい。また、突起電極 T は、バンプ B よりも高く形成されることが好ましい。

続いて、図 6 (b)に示すように、子チップ D を、その表面 (活性表面) D a をウエハ W の表面 W a に対向させてフェースダウンで接合した後に (チップ接合工程)、ウエハ W の表面 W a、突起電極 T およびバンプ B が保護樹脂 11 で樹脂封止される (樹脂封止工程)。このとき、突起電極 T の頭部および/または子チップ D の裏面 (非活性表面) D b が保護樹脂 11 から露出するようにされてもよく、ウエハ W の表面 W a の露出部が保護樹脂 11 で覆われていればよい。

続いて、図 6 (c)に示すように、ウエハ W の裏面 (非活性表面) W b がグラインダーを用いて研磨または研削され、さらなる薄型化が図られる。

20 次に、保護樹脂 11 をグラインダーを用いて研磨または研削することにより、図 6 (d)に示すように、突起電極 T を露出させる (電極露出工程)。さらに研削位置が子チップ D の非活性表面 D b に達した後は、保護樹脂 11 および子チップ D の非活性表面 D b が同時に研磨または研削され (チップ研削工程)、子チップ D および保護樹脂 11 がさらに薄型化される。

25 この後、図 6 (e)に示すように、スクライブライン L (切断ライン) に沿ってウエハ W を保護樹脂 11 とともにダイシングソー 15 で切断することにより、ウエハ W から切り出された親チップ M 上に子チップ D が接合された、図 5 の構造の半導体装置 10 の個片が切り出される。

なお、図 6 (c)の工程と図 6 (d)の工程とは、いずれが先に行われてもよく、また、

不要であれば、図 6 (c)の工程は省かれてもよい。

以上のようにこの実施形態の方法によれば、ウエハWから親チップMを切り出す前に子チップDの接合を行うようにしており、この子チップDが接合されるウエハWの表面Wa側に外部接続電極としての突起電極Tを形成するようにしている。そして、保護樹脂11で表面Waが保護されたウエハWを切り出すことにより、パッケージ化されたチップ・オン・チップ構造の半導体装置10の個片が得られる。したがって、薄型のチップ・オン・チップ型半導体装置を効率的に生産することができる。

なお、上述の実施形態では、保護樹脂11、突起電極Tおよび子チップDの非活性表面Dbが面一になるようにしているが、図7に示す第4の実施形態のように、突起電極Tの頭部が保護樹脂11の表面から突出していてもよい。また、図8に示す第5の実施形態のように、保護樹脂11の表面から子チップDの非活性表面Db側が突出していてもよい。図7または図8の構造は、たとえば、保護樹脂11を十分に薄く形成することにより作製可能である。この場合に、突起電極Tの頭部に保護樹脂11が付着するおそれがあれば、グラインダーなどによる研磨または研削やエッチングによって、突起電極Tの頭部に付着した保護樹脂を除去すればよい。

また、上記の実施形態では、突起電極Tが子チップDの非活性表面Dbよりも高く形成される例について説明したが、図9に示す第6の実施形態のように、突起電極Tの高さは、子チップDの非活性表面Dbよりも低くても構わない（たとえば、100 μ m未満）。この場合でも、裏面研削（実線の位置まで研削）および表面研削（二点鎖線の位置まで研削）の両工程を経た後には、上述の第1の実施形態の場合と同様な構造を得ることができる。そして、突起電極Tの高さを低くしておくことにより、突起電極Tの形成を短時間で容易に行うことができ、また、材料も削減できる。これにより、生産性を向上でき、かつ、コストの低減に寄与できる。ただし、子チップDと突起電極Tとを同時研削して、これらの表面を面一にするためには、始めに形成される突起電極Tの高さは、子チップDの活性表面Daよりも高くしておくことが好ましい。

また、上記の実施形態では、1つの親チップMに1つの子チップDが接合され

る例について説明したが、1つの親チップMに2つ以上の子チップDが接合されてもよい。

さらに、上述の実施形態では、突起電極Tは、柱状のものとしたが、バンプ形状のものであっても構わない。

- 5 また、上述の実施形態では、親チップMと子チップDとは、いずれもシリコン半導体からなっていることとしたが、シリコンの他にも、ガリウム砒素半導体やゲルマニウム半導体などの他の任意の半導体材料を用いた半導体チップをこの発明の半導体装置に適用することができる。この場合に、親チップMと子チップDとの半導体材料は、同じでもよいし異なってもよい。

- 10 図10は、この発明の第7の実施形態に係る半導体装置の構成を示す斜視図である。この半導体装置20は、ポリイミド基板やガラスエポキシ基板などのテープ状の配線基板21の表面に、半導体チップCを、その表面（活性表面）を対向させたフェースダウン状態で接合した構造を有している。この実施形態においては、半導体チップCは、平面視において矩形形状に成形されていて、半導体チップCの周囲の領域には、基板21の表面から突出した外部接続電極としての突起電極（この実施形態では柱状の電極）Tが複数個形成されている。

- 15 基板21の表面において半導体チップCまたは突起電極Tが形成されていない領域は、保護樹脂（たとえばエポキシ樹脂など）25で樹脂封止されている。保護樹脂25は、半導体装置20全体を補強しているとともに、突起電極Tの変形を防止する役割などを担っている。半導体チップCの表面は、基板21に対向しており、かつ、その側面が保護樹脂25で封止されていることにより、外部から保護されている。

この実施形態では、保護樹脂25、突起電極Tの頭部および半導体チップCの非活性表面Cbは、面一をなしている。

- 25 図11(a)～11(e)は、上記の半導体装置の組立工程を工程順に示す断面図である。図11(a)は、半導体チップ接合工程を示す。ポリイミド基板などの基板21には、予め配線パターンが、たとえば銅の電解めっきなどによって形成されている。この配線パターン上には、複数の突起電極Tが形成される（電極形成工程）。この突起電極Tが形成された基板21の表面21aには、複数の半導体チップC

がフェースダウンで接合される。すなわち、半導体チップCは、トランジスタや抵抗などの素子が形成された活性表層領域側の表面である活性表面Caを基板21に対向させた状態で、その表面に形成されたバンプBを介して、基板21に接合され、この基板21に形成された配線パターンに電氣的に接続される。これにより、半導体チップCは、基板21上の配線パターンを介して突起電極Tと電氣的に接続されることになる。

基板21に接合される半導体チップCは、比較的大きな厚み、たとえば、300～700 μ m程度の厚みを有している。このような半導体チップCは、300～700 μ mの厚い半導体ウエハ（図示せず）をダイシングソーで分割することによって得られる。このように十分に厚いウエハは、ダイシング工程において割れや欠けが生じることがない。しかも、このダイシング工程を経て得られる厚い半導体チップCは、その後に基板21に接合するためのハンドリング時においても割れや欠けが生じるおそれがない。

半導体チップCが基板21に接合された後には、必要に応じて、活性表面Caと基板21との間の空隙に液状樹脂（アンダーフィル）が注入される。

図11(b)は、半導体チップ接合工程に続いて行われる樹脂封止工程を示す。この樹脂封止工程では、基板21に接合された複数個の半導体チップCおよびその周囲に配置された複数の突起電極Tを一括して収容するキャビティが形成された金型（図示せず）が用いられる。そして、基板21上の複数個の半導体チップCおよび突起電極Tが保護樹脂25によって一括して封止される（樹脂封止工程）。これにより、各半導体チップCの側壁32と、活性表面Caとは反対側の非活性表面Cbとが保護樹脂25で覆われ、突起電極Tはその全体が保護樹脂25中に埋没する。また、活性表面Caと基板21との間の空隙の側方が、保護樹脂25で封止され、こうして活性表面Caが保護される。

なお、この樹脂封止工程では、突起電極Tの頭部および／または半導体チップCの裏面（非活性表面）Cbが保護樹脂25から露出するようにされてもよい。

図11(c)は、樹脂封止工程に続いて、保護樹脂25の硬化後に行われる研削工程を示す。研削工程では、研削目標厚Toまで、グラインダーを用いて研削が行われる。すなわち、保護樹脂25が研削され、半導体チップCの非活性表面Cb

が露出させられる。その後は、保護樹脂25および半導体チップCの非活性表面Cb側の研削が同時に進行し、研削目標厚Toまで研削される。この研削目標厚Toは、たとえば、研削後の半導体チップCの厚みtが、100~200 μ m程度となるように設定される。

- 5 続いて、図11(d)に示すように、たとえば、ダイシングソー35を用いて、半導体チップC同士の間を設定された切断ラインDに沿って、保護樹脂25および基板21が切断され、図11(e)に示すように、半導体装置20の個片が切り出される。この切り出し工程によって切り出された半導体装置20は、半導体チップCの側壁が全周にわたって保護樹脂25で覆われている。そして、この保護樹脂
- 10 25の上面25aと研削後の非活性表面Cbとは面一になっており、半導体チップCの角部は保護樹脂25により覆われていて、いずれの位置においても保護されている。

- こうして切り出された半導体装置20の個片には、必要に応じて、図11(e)に示すように、突起電極Tの基部の直下において、基板21に貫通孔27が形成さ
- 15 れる。この貫通孔27は、基板21の裏側から、貫通孔27を介して突起電極Tへの電気接続を図るためのものである。

- そこで、さらに、必要に応じて、図11(f)に示すように、貫通孔27には、たとえば、半田ボール28が印刷により転写されて形成される。この半田ボール28は、必要に応じてリフローを施すことにより、図12に示すように、貫通孔2
- 20 7を通して、基板21の表面21a側に形成された配線パターン33に接続される。この配線パターン33には、半導体チップCがバンプBを介して接続されており、かつ、別の位置で突起電極Tが接合されている。

- 図13は、上述のような半導体装置20の三次元実装を説明するための斜視図である。実装基板50の表面には、銅などによる印刷配線51が形成されており、
- 25 半導体装置20の実装領域52が設定されている。この実装領域52上に、複数の半導体装置20が積み重ねられて実装される。ただし、複数の半導体装置20は、同じ種類の半導体チップCを内蔵したものであってもよく、また、異なる種類の半導体チップCを内蔵したものであってもよい。

各層の半導体装置20の相互間の接続は、各層の半導体装置20の突起電極T

同士が、基板 2 1 の貫通孔 2 7 (図 1 1 (a)~1 1 (e)および図 1 2 参照) を介して接続されることにより達成されている。そして、各層の半導体装置 2 0 の実装基板 5 0 上の回路への電気接続は、最下層 (実装基板 5 0 の最も近い層) の半導体装置 2 0 の突起電極 T が、実装基板 5 0 の表面の印刷配線 5 1 に貫通孔 2 7 を介して接続されることにより達成される。各層の半導体装置 2 0 間の接合および最下層の半導体装置 2 0 の印刷配線 5 1 に対する接合は、半田ボール 2 8 をリフローにより溶融させることにより達成される。

以上のようにこの実施形態によれば、基板 2 1 の同じ表面側に半導体チップ C および突起電極 T を設け、これらを樹脂封止することにより、薄型の半導体パッケージを実現している。したがって、パッケージの外方にリードを引き出す必要がないので、実装基板 5 0 上での占有面積が少なくなる。また、半導体装置 2 0 の三次元実装は、基板 2 1 に貫通孔 2 7 を設けることによって達成されており、上述の従来技術のように、各層の半導体装置のリードを個別に実装基板に接合する必要がない。したがって、半導体装置 2 0 の三次元実装を極めて簡単に行うことができる。

また、突起電極 T は、その周囲が保護樹脂 2 5 (絶縁物) に包囲されているので、リーク電流などが生じることがなく電氣的に安定であり、かつ、変形や破損のおそれがなく機械的にも安定である。

さらには、突起電極 T を用いていることにより、上下の半導体装置 2 0 の各半導体チップ C の間の配線距離が短く、電氣的動作を高速化することができるという利点もある。

なお、上下に積層される複数の半導体装置 2 0 のうち、いずれか 1 つの特定の半導体装置 2 0 の特定の突起電極 T のみを独立して実装基板 5 0 に接続したい場合には、図 1 4 に示す構成を採用すればよい。すなわち、当該特定の半導体装置 2 0 よりも下層の半導体装置 2 0 の基板 2 1 には、当該特定の突起電極 T に対応する位置に、独立した (すなわち、当該下層の半導体装置 2 0 の半導体チップ C とは電氣的に接続されていない) 中継用の突起電極 T c を設ける。これにより、この中継用の突起電極 T c を介して、上記特定の半導体装置の特定の突起電極 T を、他の半導体装置 2 0 とは独立した状態で、実装基板 5 0 に接続することがで

きる。

なお、上述の実施形態では、同じ大きさの半導体チップCを有する複数の半導体装置20を積層して三次元実装する例を説明したが、図15に示すように、異なる大きさの半導体チップCを内蔵した複数の半導体装置100についても、突起電極Tの配置を合わせておくことによって、上述の実施形態の場合と同様な三次元実装が可能である。

また、上述の実施形態では、半導体チップCを上方に向けたフェースアップ状態で半導体装置20,100を実装基板50上に実装する例について説明したが、半導体チップCを実装基板50に対向させたフェースダウン状態で半導体装置20,100の実装を行ってもよい。

さらに、上述の実施形態では、基板21の貫通孔27に半田ボール28を設けるようにしているが、半田ボール28を設ける代わりに、貫通孔27にクリーム半田を配置し、リフロー法により、実装基板50または他の層の半導体装置20との接続を行うようにしてもよい。

また、上述の実施形態では、保護樹脂25、突起電極Tおよび半導体チップCの非活性表面Cbが面一になるようにしているが、図16に示す第8の実施形態のように、突起電極Tの頭部が保護樹脂25の表面から突出していてもよい。また、図17に示す第9の実施形態のように、保護樹脂25の表面から半導体チップCの非活性表面Cb側が突出していてもよい。図16または図17の構造は、たとえば、保護樹脂25を十分に薄く形成することにより作製可能である。この場合に、突起電極Tの頭部に保護樹脂25が付着するおそれがあれば、グラインダーなどによる研磨または研削やエッチングによって、突起電極Tの頭部に付着した保護樹脂を除去すればよい。

また、上記の実施形態では、基板21上に1つの半導体チップCが接合されて1つの半導体装置20,100が構成される例について説明したが、基板21上に2つ以上の半導体チップCを共通に接合し、2つ以上の半導体チップCを内蔵した半導体装置を構成してもよい。

さらに、上述の実施形態では、突起電極Tは、柱状のものとしたが、バンプ形状のものであっても構わない。

また、上述の実施形態においては、製造工程において、複数の半導体チップCを一括して樹脂封止することとしているが、個々の半導体チップCまたは2～3個ずつ（すなわち、所定の複数個）の半導体チップCごとに、樹脂封止を行ってもよい。

- 5 さらに、上述の各実施形態では、研削工程では、グラインダーによる機械的研削が行われることとしたが、この研削工程は、エッチング液を用いた化学的研削工程であってもよく、また、CMP（化学的機械的研磨）法のような化学的機械的研磨工程であってもよい。ただし、半導体チップの非活性表面側の研削または研磨は、研削精度よりも研削速度の方が重視されるから、上述の3つの方法のなかでは、グラインダーによる機械的研削方法が、生産効率の向上の観点からは、
10 もっとも好ましい。

グラインダーによる機械的研削が行われた樹脂および半導体チップの非活性表面は、連続した削り跡を有することになるが、この削り跡は、必要に応じて、エッチングなどの化学的方法によって消すことができる。

- 15 また、上述の実施形態では、半導体装置の個片を切り出すための切り出し工程に、ダイシングソーを用いることとしたが、たとえば、レーザビームによる切断などの他の切断手法が採用されてもよい。

- 本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に
20 限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

- この出願は、1999年8月23日に日本国特許庁に提出された特願平11-235619号および特願平11-235620号、1999年9月10日に日本国特許庁に提出された特願平11-257589号、ならびに1999年10月
25 14日に日本国特許庁に提出された特願平11-292703号に対応しており、これらの出願の全開示はここに引用により組み込まれるものとする。

請求の範囲

1. 半導体基板の表面に突起電極を形成する電極形成工程と、
前記突起電極が形成された半導体基板の表面の全域に保護樹脂層を形成する工程と、
5 前記半導体基板の裏面を研磨または研削することにより、前記半導体基板を薄型化する裏面研削工程と、
前記半導体基板の表面側を研磨または研削することにより、前記突起電極を露出させる表面研削工程とを含む、半導体装置の製造方法。
2. 前記半導体基板には、複数の半導体装置を構成する素子が形成されており、
10 前記電極形成工程では、前記複数の半導体装置のための複数の突起電極が形成され、
前記表面研削工程および裏面研削工程を経た半導体基板を切断することにより、半導体装置の個片を切り出す切り出し工程をさらに含む、請求項 1 記載の半導体装置の製造方法。
- 15 3. 半導体基板の表面に表面樹脂層を形成する工程と、
前記半導体基板の裏面に裏面樹脂層を形成する工程と、
前記表面樹脂層および裏面樹脂層が形成された半導体基板に対して、前記裏面樹脂層を研磨または研削して除去し、さらに、前記裏面樹脂層が除去された半導体基板の裏面側を研磨または研削することによって、前記半導体基板
20 を薄型化する裏面研削工程とを含む、半導体装置の製造方法。
4. 前記裏面研削工程の後に、前記半導体基板を切断ラインに沿って切断することにより、半導体装置の個片を切り出す切り出し工程をさらに含む、請求項 3 記載の半導体装置の製造方法。
5. 前記表面樹脂層を形成する前に、前記半導体基板の表面に突起電極を形成
25 する工程をさらに含む、請求項 3 または 4 記載の半導体装置の製造方法。
6. 前記表面樹脂層が、前記突起電極を当該表面樹脂層内に埋没させるように形成される、請求項 5 記載の半導体装置の製造方法。
7. 前記表面樹脂層を研磨または研削して、上記突起電極を上記表面樹脂層から露出させる表面研削工程をさらに含む、請求項 5 または 6 記載の半導体装

置の製造方法。

8. 上記表面研削工程が上記裏面研削工程よりも先に行われる、請求項7記載の半導体装置の製造方法。

9. 上記表面樹脂層および裏面樹脂層がほぼ等しい厚みに形成される、請求項
5 3ないし8のいずれかに記載の半導体装置の製造方法。

10. 固体装置と、

この固体装置の表面に接合された半導体チップと、

前記固体装置の表面に形成され、外部との接続のための突起電極と、

前記突起電極の頭部を露出させた状態で上記固体装置の表面を封止する保

10 護樹脂とを含む、半導体装置。

11. 前記固体装置が別の半導体チップである、請求項10記載の半導体装置。

12. 前記半導体チップが、上記固体装置に活性表面を対向させたフェースダウン状態で接合されている、請求項10または11記載の半導体装置。

13. 上記固体装置が基板である、請求項10記載の半導体装置。

15 14. 上記半導体チップが上記基板に活性表面を対向させたフェースダウン状態で接合されている、請求項13記載の半導体装置。

15. 前記基板には、この基板の裏面側から前記突起電極の基部への電気接続を可能とするための貫通孔が形成されている、請求項13または14記載の半導体装置。

20 16. 前記貫通孔が、前記突起電極の直下に形成されている、請求項15記載の半導体装置。

17. 半導体基板の表面に、複数の半導体チップを、それらの活性表面を前記半導体基板の表面に対向させたフェースダウン状態で接合するチップ接合工程と、

25 前記半導体基板の表面に複数の突起電極を形成する電極形成工程と、

前記半導体チップおよび前記突起電極の形成後に露出する前記半導体基板の表面を、前記突起電極の頭部を露出させた状態で、保護樹脂で封止する樹脂封止工程と、

前記半導体基板を予め定める切断ラインに沿って切断することにより、チ

ップ・オン・チップ構造の半導体装置の個片を取り出す切り出し工程とを含む、半導体装置の製造方法。

5 18. 前記樹脂封止工程は、前記保護樹脂の表層部を除去して前記突起電極の頭部を露出させる電極露出工程を含む、請求項17記載の半導体装置の製造方法。

19. 前記電極露出工程は、前記保護樹脂と前記半導体チップの非活性表面側とを同時に研磨または研削するチップ研削工程を含む、請求項18記載の半導体装置の製造方法。

10 20. 前記切り出し工程よりも前に、前記半導体基板の裏面または前記半導体チップの非活性面側が研磨または研削される、請求項17ないし19のいずれかに記載の半導体装置の製造方法。

21. 前記突起電極が、前記半導体チップの活性面よりも高く、かつ、前記半導体チップの非活性面よりも低く形成される、請求項17ないし20のいずれかに記載の半導体装置の製造方法。

15 22. 基板の表面に活性表面を対向させたフェースダウン状態で、半導体チップを前記基板に接合するチップ接合工程と、
前記基板の表面に、この表面から突出した突起電極を形成する電極形成工程と、

20 前記半導体チップおよび突起電極を、前記突起電極の頭部を露出させた状態で保護樹脂により封止する樹脂封止工程とを含む、半導体装置の製造方法。

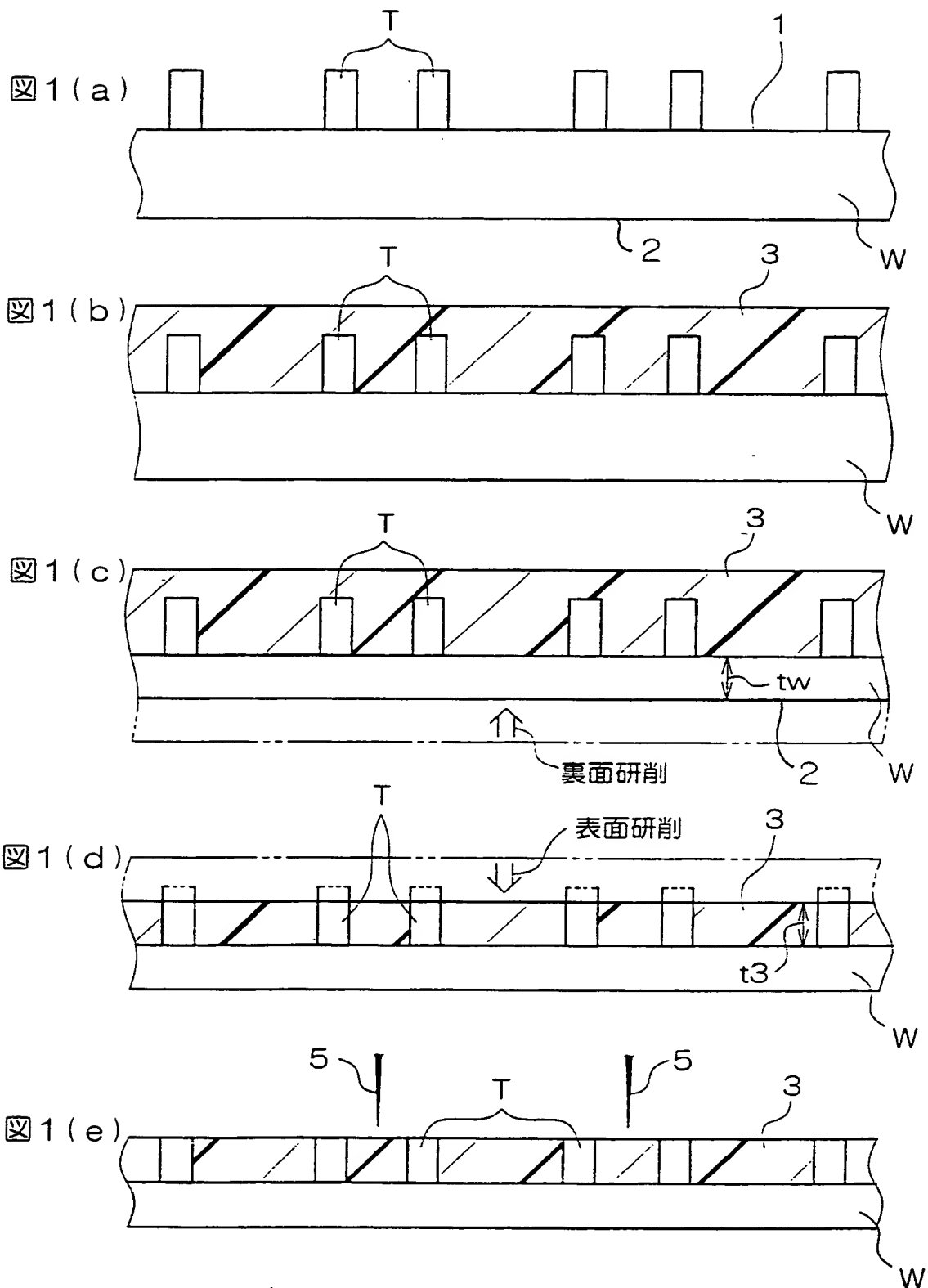
23. 前記チップ接合工程では、複数の半導体チップが前記基板に接合され、
前記電極形成工程では、前記複数の半導体チップに対応した複数の突起電極が形成され、

25 前記製造方法は、さらに、前記基板を予め定める切断ラインに沿って切断することにより、半導体装置の個片を切り出す切り出し工程を含む、請求項22記載の半導体装置の製造方法。

24. 前記基板に、この基板の裏面側から前記突起電極の基部への電気接続を可能とするための貫通孔を形成する工程をさらに含む、請求項22または23記載の半導体装置の製造方法。

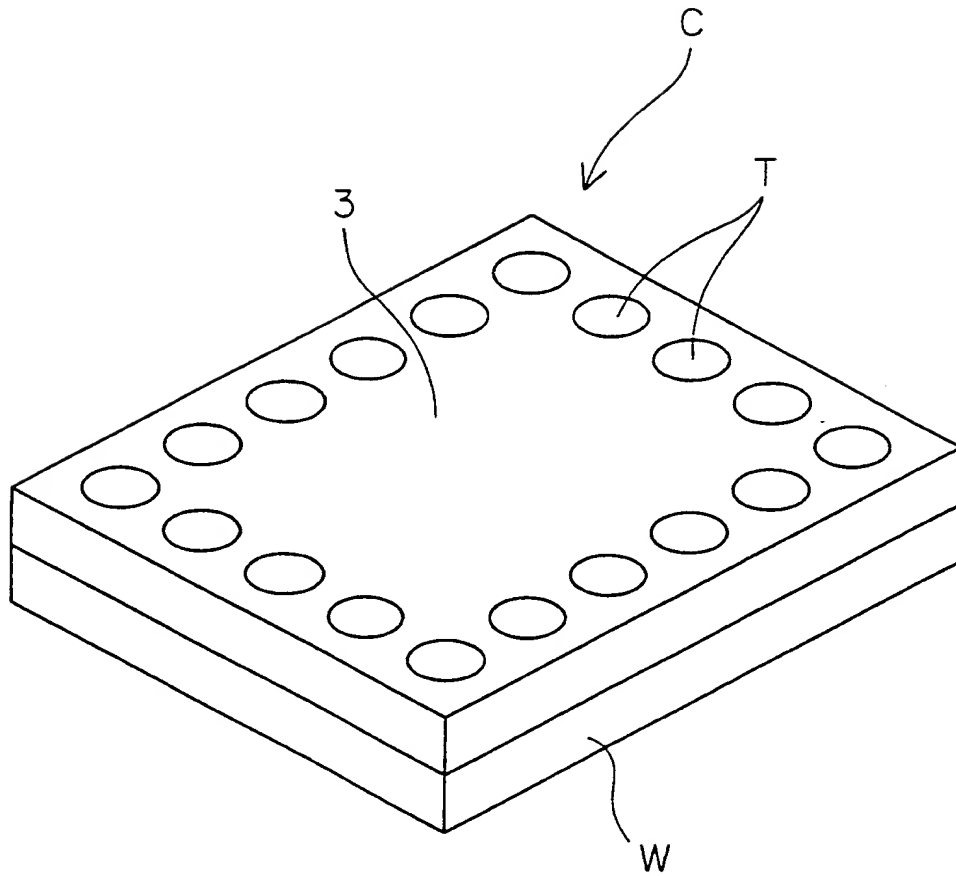
25. 前記樹脂封止工程は、突起電極および半導体チップを保護樹脂で封止する工程と、前記突起電極の頭部を露出させるために保護樹脂の表層部を除去する工程とを含む、請求項22ないし24のいずれかに記載の半導体装置の製造方法。

1/14

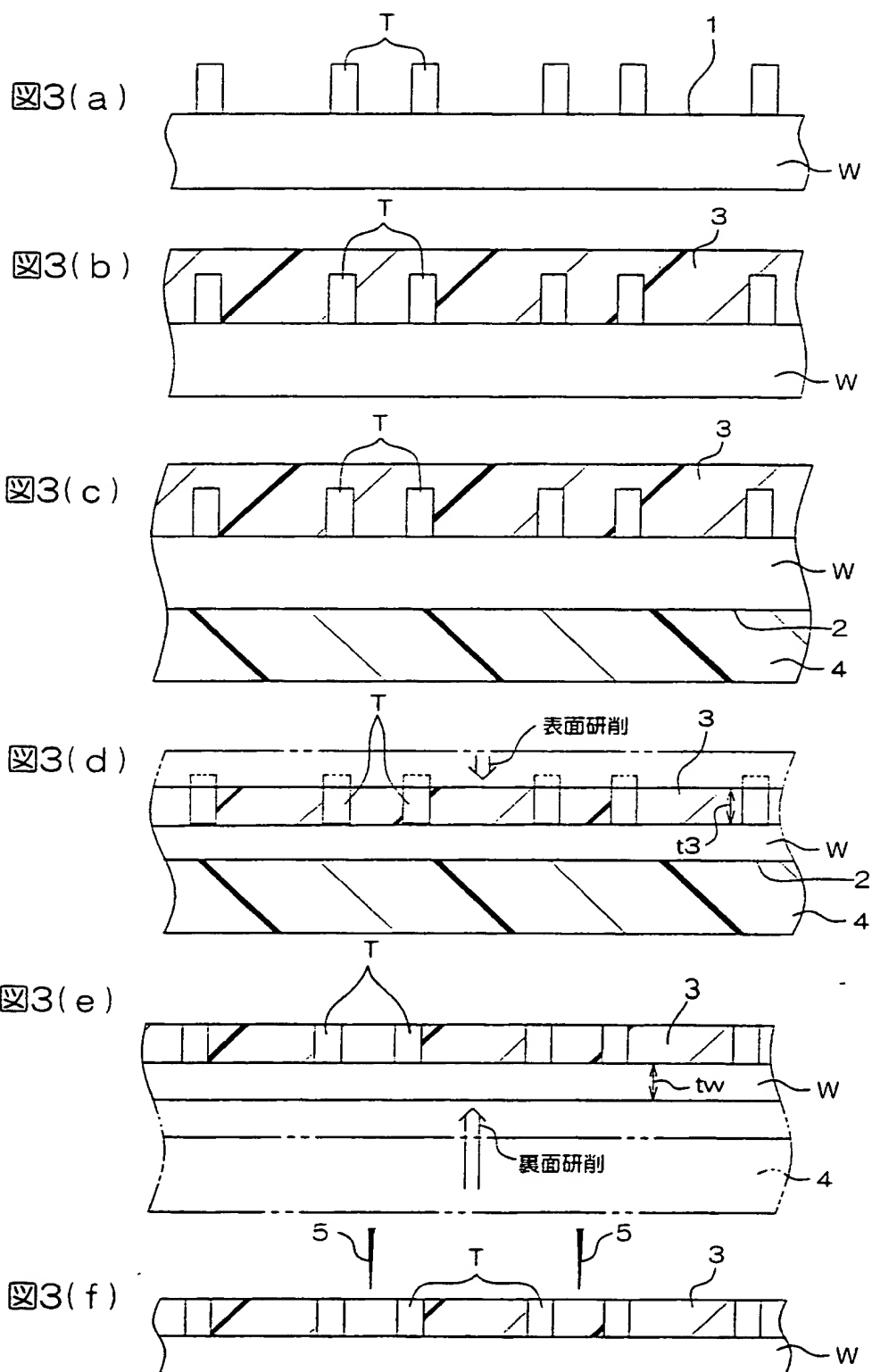


2/14

図 2

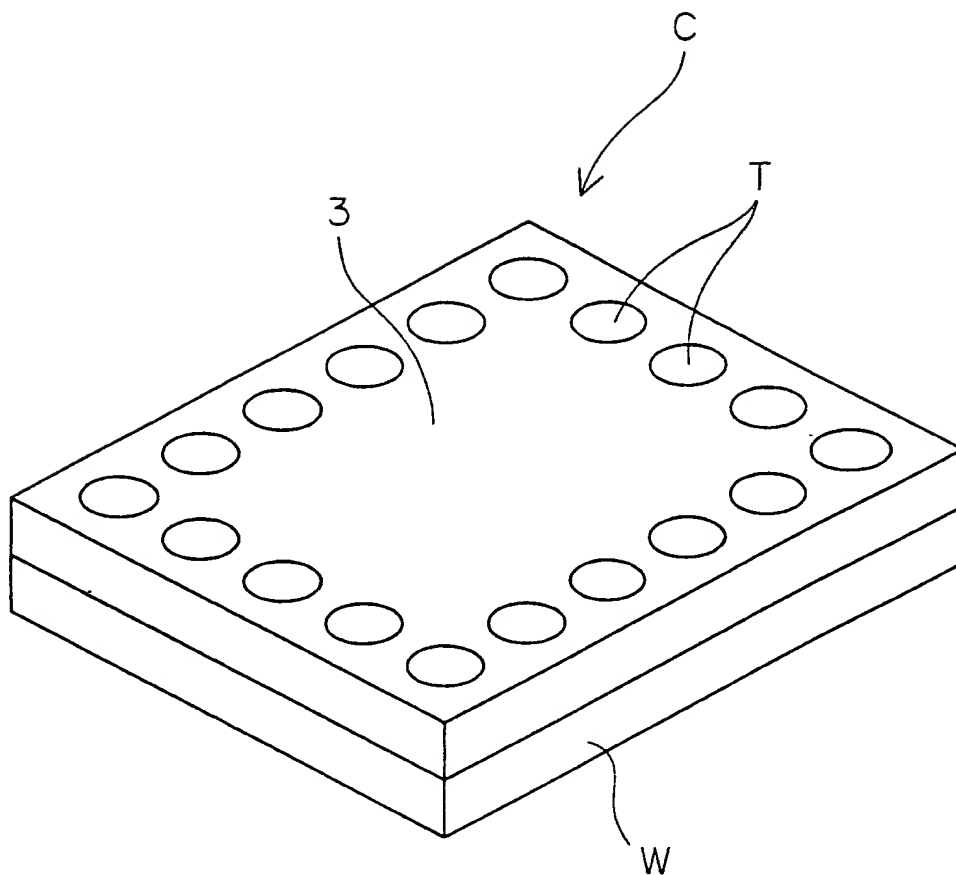


3/14



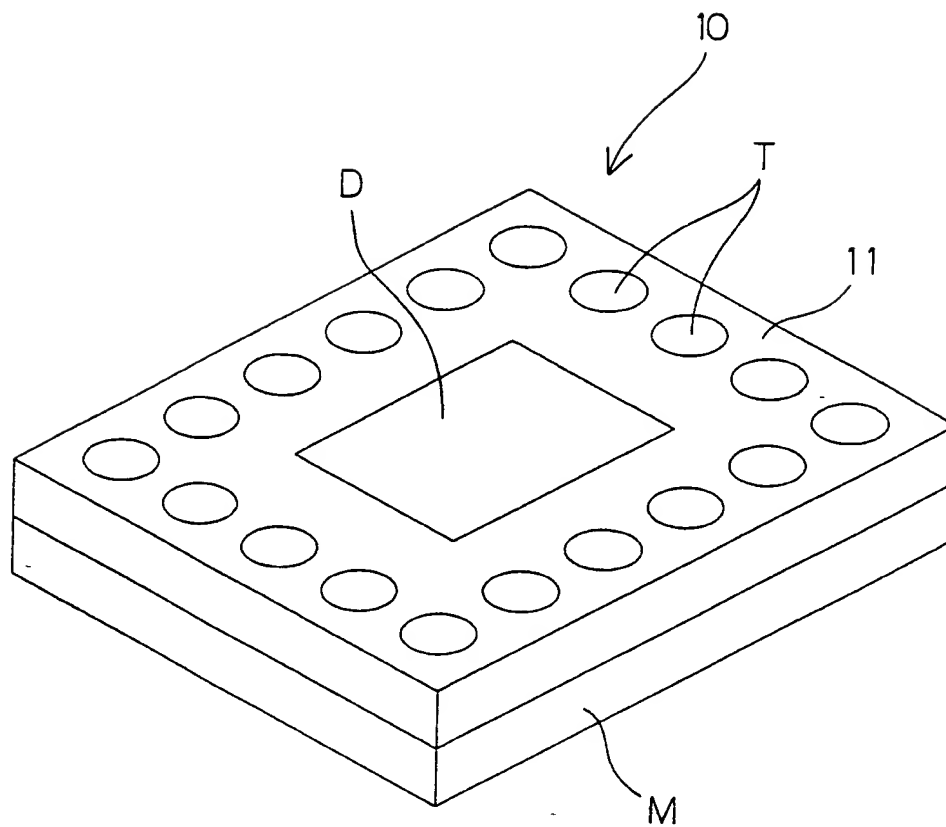
4/14

図 4

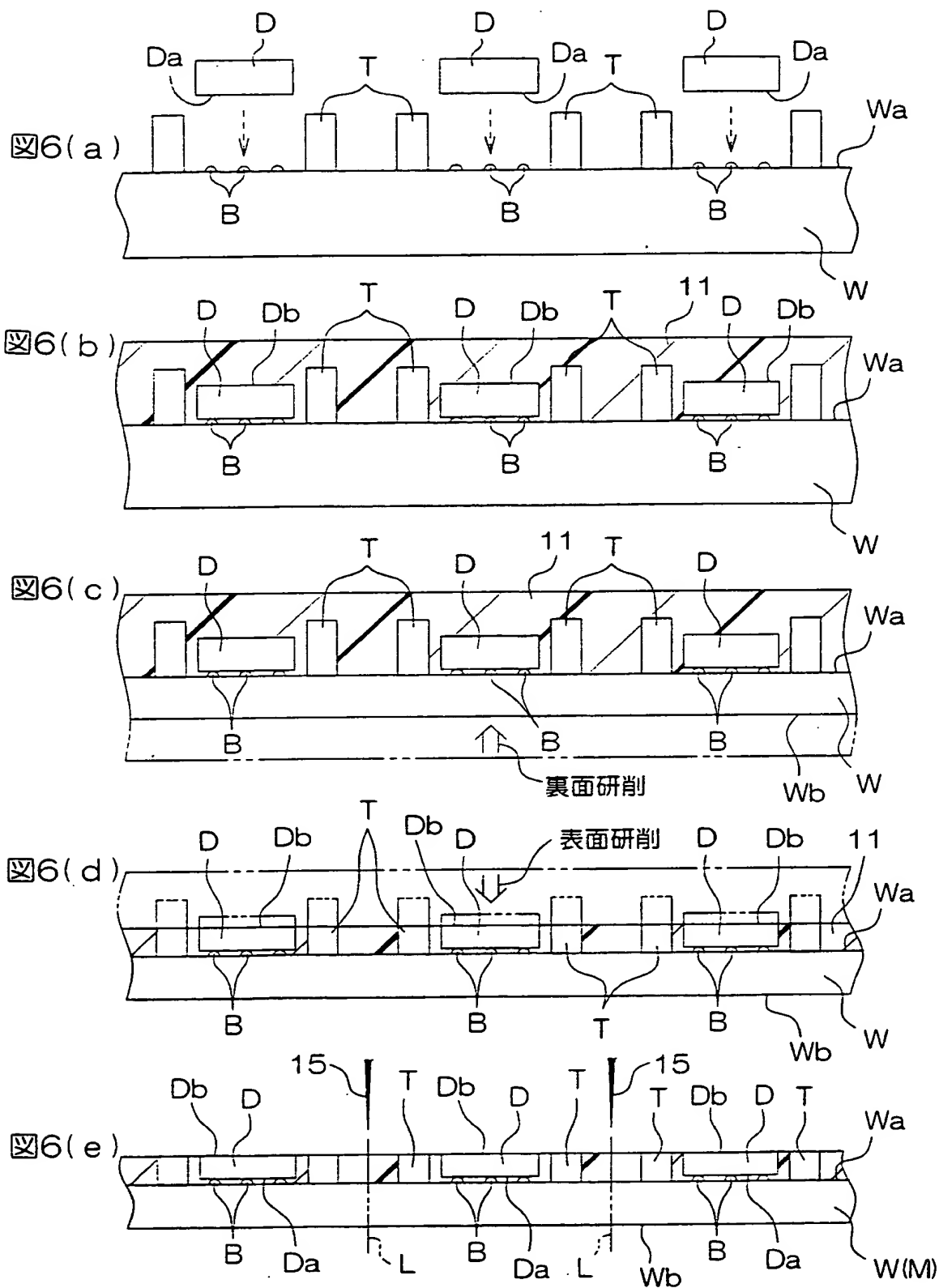


5/14

図 5



6/14



7/14

図 7

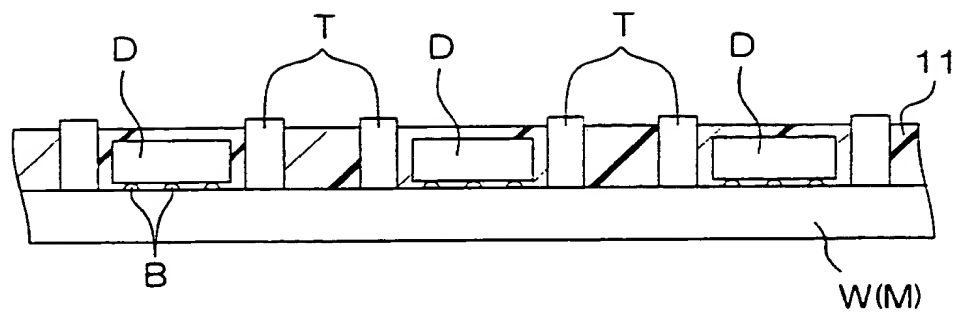


図 8

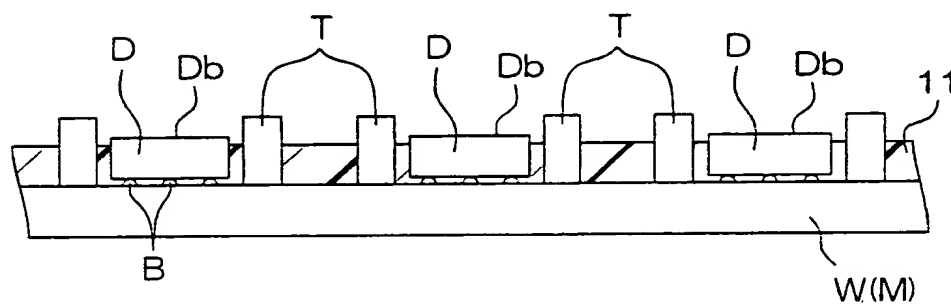
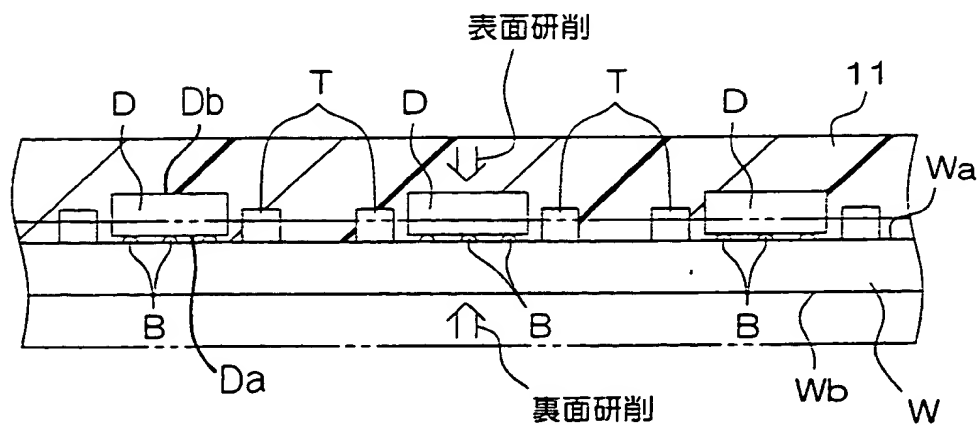


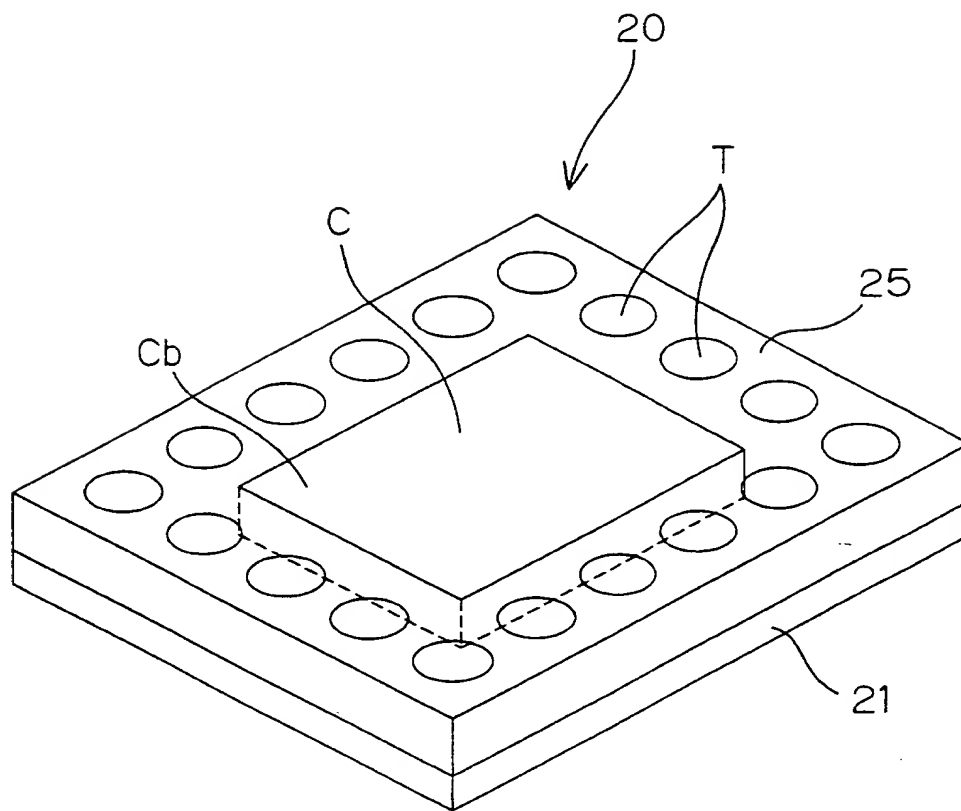
図 9



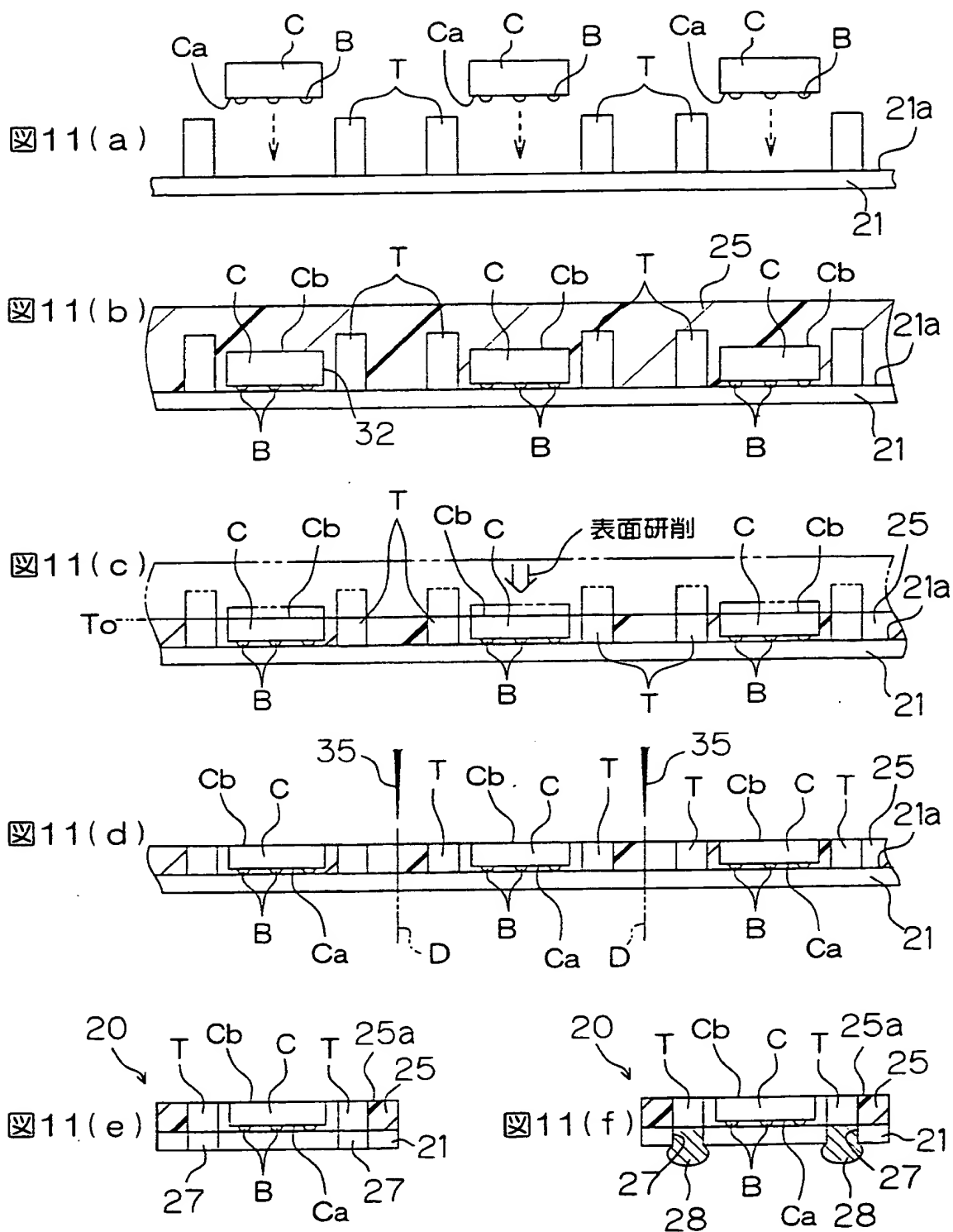


8/14

図 10

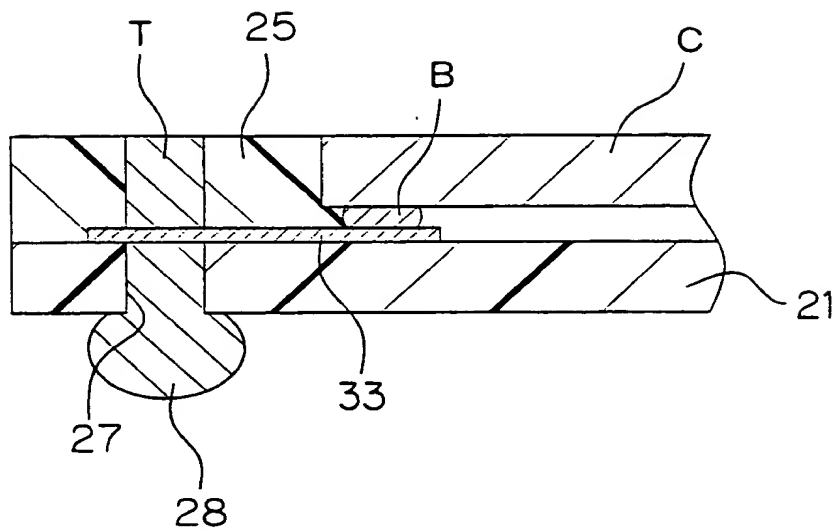


9/14



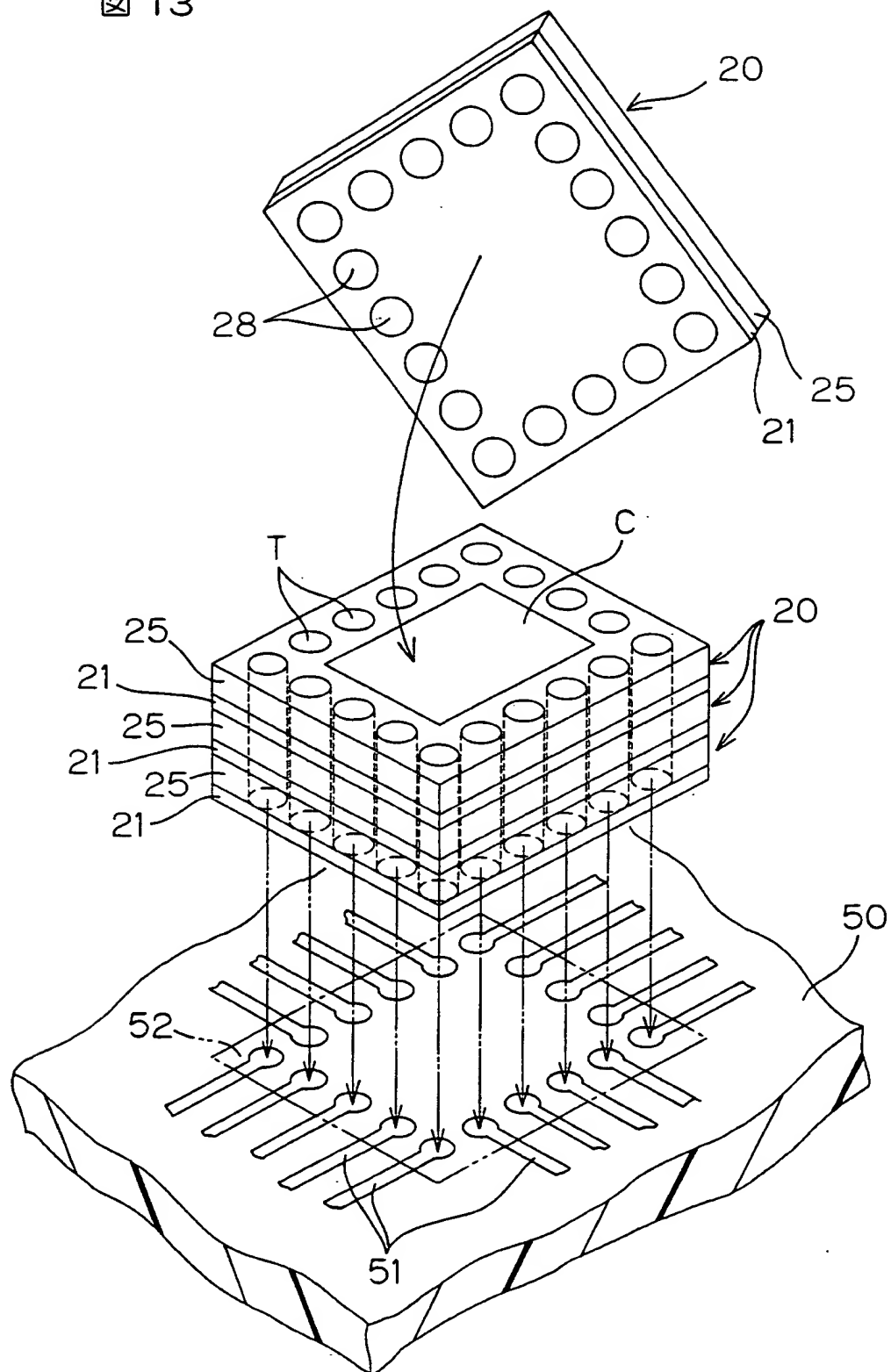
10/14

12



11/14

13



12/14

図 14

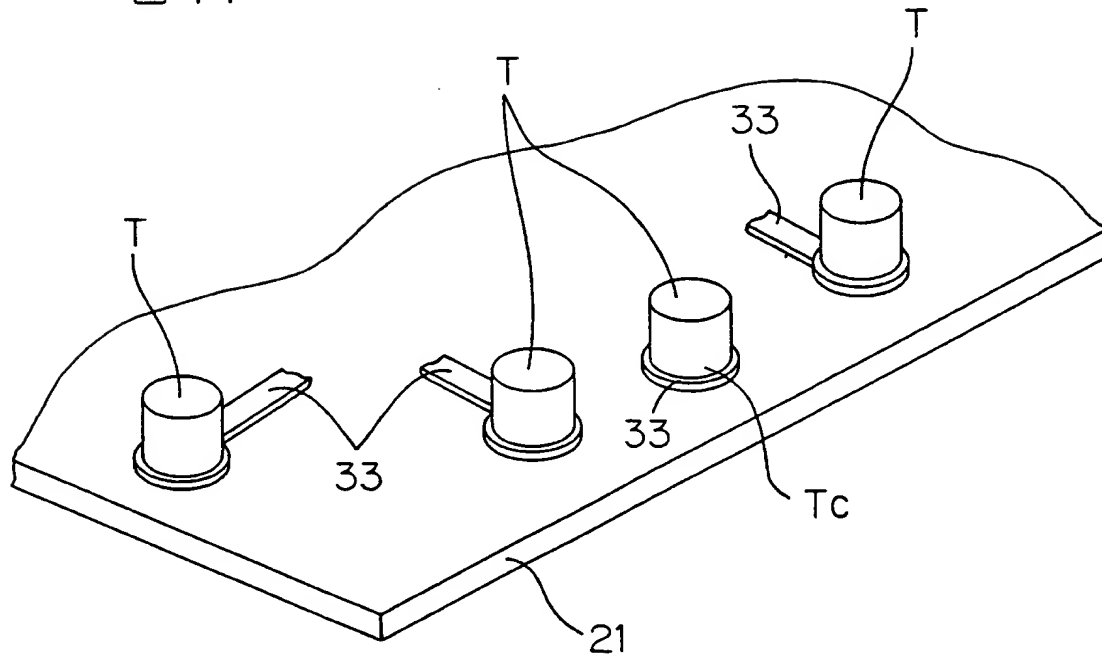
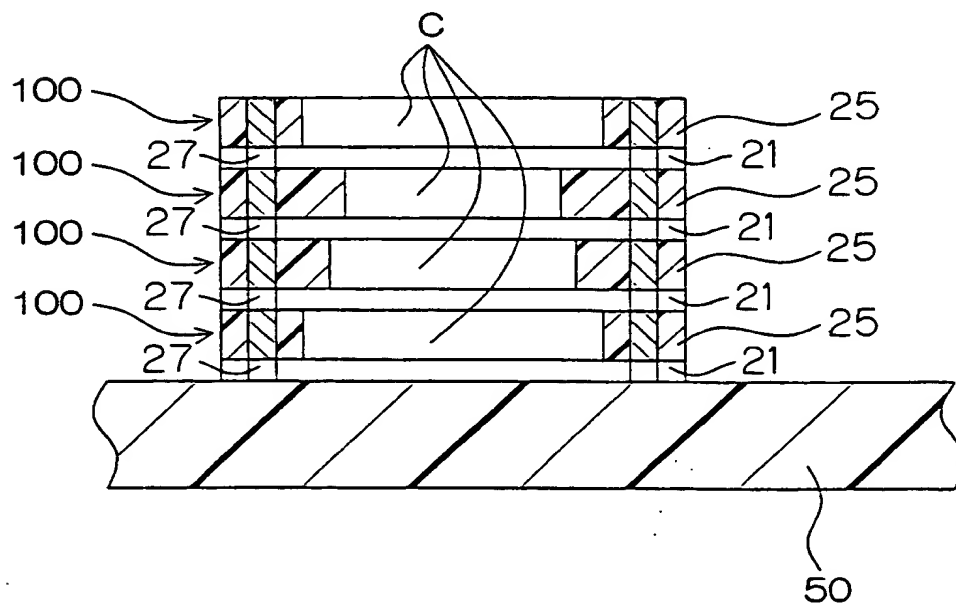


図 15



13/14

図 16

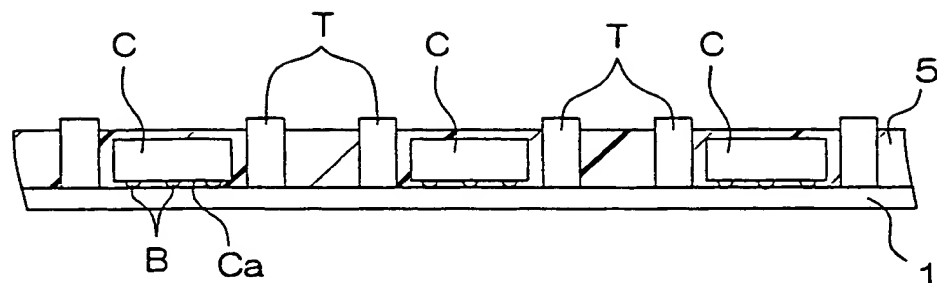


図 17

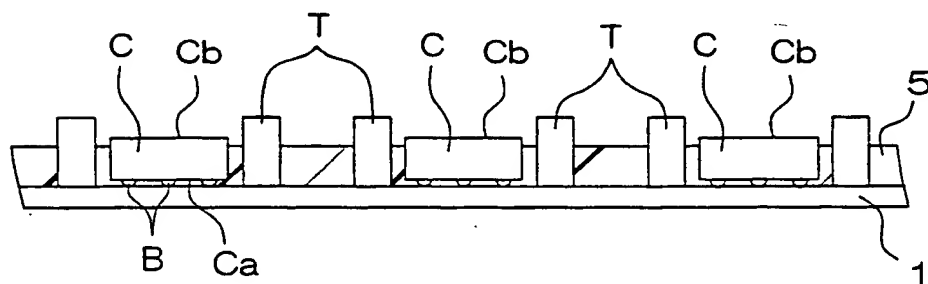
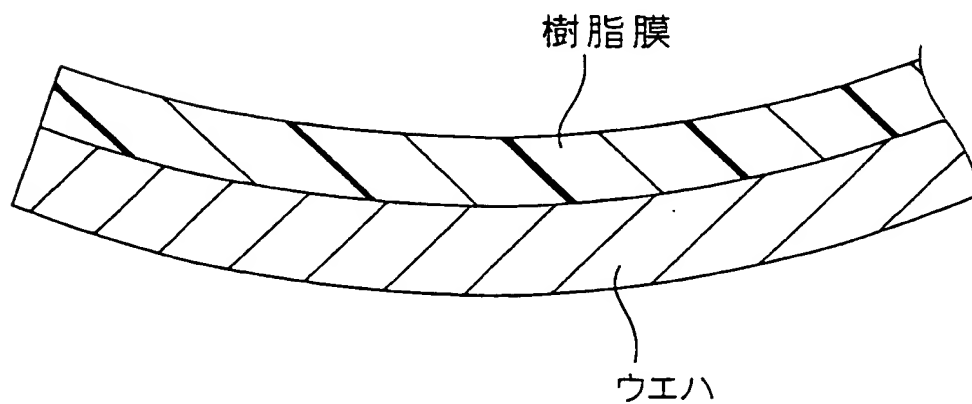


図 18



14/14

図 19

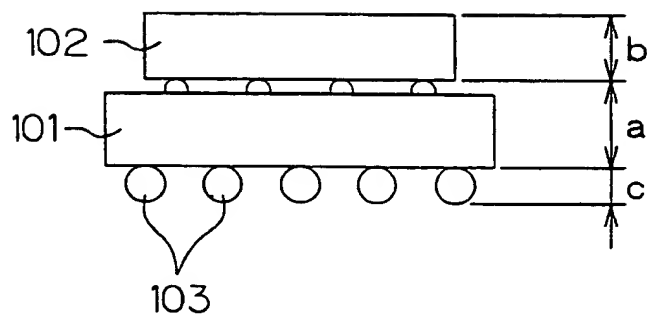
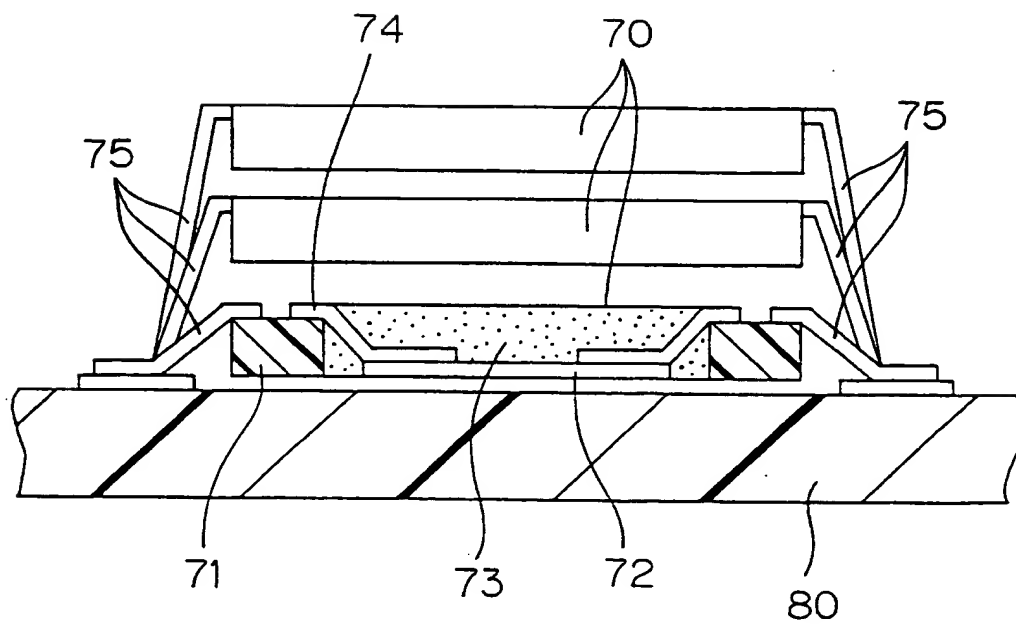


図 20



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05596

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L23/12, H01L25/04, H01L21/301, H01L21/304

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L23/12, H01L25/04, H01L21/301, H01L21/304

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1940-2000

Kokai Jitsuyo Shinan Koho 1971-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP, 5-3183, A (NEC Corporation), 08 January, 1993 (08.01.93), Claim 3 (Family: none)	1, 2 3-9
Y A	JP, 2-153527, A (Fujitsu Limited), 13 June, 1990 (13.06.90), Claims (Family: none)	1, 2 3-9
Y A	JP, 5-55278, A (Sony Corporation), 05 March, 1993 (05.03.93), Claims 1 to 4 (Family: none)	1, 2 3-9
X Y	JP, 8-236692, A (NEC Corporation), 13 September, 1996 (13.09.96), Par. No. [0028]; Figs. 1, 4 (Family: none)	10-16, 22, 24, 25 23
EX EY	JP, 11-288977, A (Nippon Steel Corporation), 19 October, 1999 (19.10.99), Par. Nos. [0054] to [0060]; Fig. 4 (Family: none)	10-14, 22, 25 15, 16, 23, 24
EX	US, 5977640, A (International Business Machines Corp.), 02 November, 1999 (02.11.99),	10-14, 17-21, 22 - , 23, 25

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 09 November, 2000 (09.11.00)	Date of mailing of the international search report 21 November, 2000 (21.11.00)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/05596

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
EY	Figs.8~13 (JP, 2000-156461, A & CN, 1241032, A)	15,16,24

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷H01L23/12、H01L25/04、H01L21/301、H01L21/304

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷H01L23/12、H01L25/04、H01L21/301、H01L21/304

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1940-2000年

日本国公開実用新案公報 1971-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP、5-3183、A (日本電気株式会社)、8. 1月. 1993 (08. 01. 93)、請求項3 (ファミリーなし)	1, 2 3~9
Y A	JP、2-153527、A (富士通株式会社)、13. 6月. 1990 (13. 06. 90)、特許請求の範囲 (ファミリーなし)	1, 2 3~9
Y A	JP、5-55278、A (ソニー株式会社)、5. 3月. 1993年 (05. 03. 93)、請求項1~4 (ファミリーなし)	1, 2 3~9
X	JP、8-236692、A (日本電気株式会社)、13. 9月.	10~16,

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

09. 11. 00

国際調査報告の発送日

21.11.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

加藤 浩一

4R

8617

電話番号 03-3581-1101 内線 3425

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
<u>Y</u>	1996年(13.09.96)、【0028】、図1、図4 (ファミリーなし)	22, 24, 25 <u>23</u>
EX	JP、11-288977、A (新日本製鐵株式会社)、19.10月. 1999年(19.10.99)、【0054】～【0060】、図4 (ファミリーなし)	10～14, 22, 25 <u>15, 16,</u> <u>23, 24</u>
<u>EY</u>	US、5977640、A (インターナショナル・ビジネス・マシーンズ・コーポレーション)、2.11月. 1999年(02.11.99)、FIG. 8～13 (JP、2000-156461、A&CN、1241032、A)	10～14、 17～21、 22、23、 25 <u>15, 16,</u> <u>24</u>